

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: G11C 11/413

(11) Publication No.: P1998-024859

(43) Publication Date: 6 July 1998

(21) Application No.: P1997-048159

(22) Application Date: 23 September 1997

(71) Applicant:

Texas Instruments Incorporated

13500 North Central Expressway, Dallas, Texas, the U.S.

(72) Inventor:

NAKAMURA MASAYUKI

COELING JEFFREY

THURSTON POLLETE

MCADAMS HUGH

(54) Title of the Invention:

4-bit prefetch SDRAM row selection architecture

Abstract:

A synchronous dynamic random access memory (SDRAM) device includes four banks B0, B1, B2, and B3 of memory cell arrays 302 through 332, arranged at either end of a substrate 300. Each received address makes a row address generator select four data bits from data words. A data sequencer circuit transmits the four selected data bits to data bit junction pads 334 and 336 on the substrate 300 according to a predetermined order or an interleaving order.

AM

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.	(11) 공개번호	특 1998-024859
G11C 11 /413	(43) 공개일자	1998년 07월 06일

(21) 출원번호 특 1997-048159

(22) 출원일자 1997년 09월 23일

(30) 우선권주장 8/717,540 1996년 09월 23일 미국(US)

(71) 출원인 텍사스 인스트루먼트 인코포레이티드 윌리엄 비. 켄플러

(72) 발명자 미국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500
나카무라 마사유키

일본 도쿄도 오미시 가베마찌 5-25-7 그린 포레스트 #101

코엘링 제프리 이.

미국 75252 텍사스주 플레노 아파트먼트 넘버 522 프레스턴 로드 19019

써스턴 폴레트

미국 75024 텍사스주 플레노 에이미 레인 2221

맥아담스 휴 피.

(74) 대리인 미국 75070 텍사스주 맥키니 박스 55 루트 4
장수길, 주성민

심사청구 : 없음

(54) 4비트 프리피치 SDRAM 열 선택 아키텍처

요약

SDRAM(Synchronous Dynamic Random Access) 메모리 장치는 기판(300)의 길이 양단에 배열된 메모리 셀 어레이(302-332)의 4개의 뱅크(B0, B1, B2 및 B3)를 갖고 있다. 각각의 수신된 어드레스는 열 어드레스 생성기가 데이터 워드 내의 각 데이터 비트에 대해 4개의 데이터 비트를 선택하게 한다. 데이터 시퀀서 회로는 4개의 선택된 데이터 비트를 정해진 선택된 순서로 또는 인터리브된 순서로 기판 상의 데이터 비트 집합 패드(334, 336)로 전달한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 패키징된 반도체 집적 회로를 포함하는 메모리 장치를 도시한 사시도.

도 2는 도 1의 메모리 장치의 기능 블록도.

도 3은 본 발명의 반도체 집적 회로 또는 칩의 이상적 평면도.

도 4는 도 3의 메모리 셀 어레이의 이상적 블록도.

도 5는 도 4의 메모리 셀의 하나의 MAT의 이상적 블록도.

도 6은 도 5의 메모리 셀의 하나의 서브 MAT의 이상적 블록도.

도 7은 도 6의 메모리 셀의 하나의 서브 서브 MAT의 이상적 블록도.

도 8은 도 7의 4개의 서브 워드라인의 이상적 선도.

도 9는 도 1의 메모리 장치의 각 핀에 접속된 신호에 대한 핀 번호 및 약어(acronym)를 나타내는 도면.

도 10은 메모리 셀의 4개의 뱅크, 뱅크 내의 메모리 셀 그룹으로의 데이터 비트의 할당, 및 칩 상의 접합 패드의 상대 위치를 나타내는 블록도.

도 11은 접합 패드로의 데이터 신호의 할당, 및 칩 상의 대응하는 데이터 신호 리드를 나타내는 블록도.

도 12는 쿼드런트(quadrant) LL, 뱅크 B0 내의 열 선택, MIO 또는 글로벌(global) I/O 라인 및 메모리 셀 어레이를 나타내는 블록도.

도 13은 도 12의 데이터 라인 및 메모리 셀 어레이의 일부를 도시한 확대 블록도.

도 14는 칩 상에 사용된 감지 증폭기의 개략적인 도면.

도 15는 칩 상에 사용된 중간 증폭기 회로의 개략적인 도면.

도 16은 칩 상에 사용된 메인 증폭기 회로의 개략적인 도면.

도 17은 4개의 메인 증폭기와 하나의 데이터 접합 패드 사이의 데이터 회로의 개략적인 블록도.

도 18은 SDRAM을 작동시키기 위한 표준 제어 비트를 나타내는 차트.

도 19는 데이터의 2비트 버스트에 대한 표준 데이터 순서를 나타내는 차트.

도 20은 데이터의 4비트 버스트에 대한 표준 데이터 순서를 나타내는 차트.

도 21은 데이터의 8비트 버스트에 대한 표준 데이터 순서를 나타내는 차트.

도 22(a) 내지 (kk)는 150 메가헤르쯔에서 칩으로의 데이터의 8비트 버스트 기록에 대한 신호를 나타내는 타이밍도.

도 23(a) 내지 (kk)는 150 메가헤르쯔에서 칩으로부터의 데이터의 8비트 버스트 판독에 대한 신호를 나타내는 타이밍도.

도면의 주요 부분에 대한 부호의 설명

100 : 메모리 장치

302-332 : 메모리 셀 어레이

334, 336 : 데이터 비트 접합 패드

340, 342, 1700 : 데이터 회로

1240, 1600 : 메인 증폭기

1305, 1307, 1608 : 감지 증폭기

1324, 1326, 1328, 1330, 1334, 1500 : 중간 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 메모리 장치에 관한 것으로, 특히 클럭 신호를 갖는 데이터 동기화 버스트를 송수신하는 SDRAM(Synchronous Dynamic Random Access) 메모리 장치에 관한 것이다.

DRAM은 데스크탑과 그 밖의 다른 컴퓨터, 및 메모리 장치를 필요로 하는 그 밖의 다른 전자 기계들에 사용된다. DRAM을 사용하는 일반적인 이유는 이들이 반도체 칩 상의 메모리 셀의 고밀도를 제공하면서, 저장된 데이터의 비트 당 비용이 상대적으로 저렴하며, 이러한 비용에 비해 속도가 상대적으로 빠르기 때문이다. 이러한 기술의 진보로 인하여, DRAM 메모리 장치의 각 세대는 4 팩터만큼 칩 상의 메모리 셀의 수가 증가해 왔다. 100 메가헤르츠 이상에서 동작하는 더욱 최근의 마이크로프로세서에서는 마이크로프로세서에 데이터와 명령들을 공급하기 위해 더욱 빠른 DRAM이 필요로 된다.

더욱 큰 저장 용량과 더욱 빠른 속도의 요구에 의해, DRAM은 클럭 신호를 갖는 데이터, 어드레스 및 제어 신호의 전송을 동기화하는 DRAM이 개발되어 왔다. 더욱 큰 저장 용량과 더욱 빠른 속도에 대한 이들 요구사항은 회로 구성 및 DRAM 메모리 장치 제조 공정의 설계 시에 새로운 문제점을 발생시킨다.

종래의 DRAM 메모리 장치에 있어서, 반도체 기판 상의 접합 패드는 기판 상의 다른 격설된 위치에서 발생하는 데이터 신호를 저장하는 한 위치에 존재했다. 접합 패드와 저장 위치 사이에서 데이터를 전달하기 위해 비교적 긴 데이터 라인이 존재했다. 이것은 더욱 큰 구동 회로를 요구하는 데이터 라인 내에 큰 기생 용량을 초래했다. 기생 용량 및 이로 인해 초래된 고전력은 경제적인 장치가 100 메가헤르츠 이상에서 동작하지 못하게 하는 장치를 구동시키기 위해 요구되었다.

데이터는 또한 2가지 다른 모드들, 즉 시리얼 모드와 인터리브 모드 중 한가지 모드로 SDRAM 내에 기록되고 SDRAM으로부터 판독되어야 한다. 시리얼 모드에 있어서, 데이터는 자신의 시리얼 어드레스와 동일한 순서로 발생한다. 인터리브 모드에 있어서, 데이터는 연속적인 순서가 아닌 소정의 잘 정해진 순서로 발생한다. SDRAM 장치의 실현은 파이프라인식(pipelined) 또는 프리페치(pre-fetch) 아키텍처로 달성될 수 있으며, 이들의 경우에 시리얼 및 인터리브 데이터 모드로 동작을 달성하도록 준비되어야 한다.

발명이 이루고자하는 기술적 과제

본 발명에 따르면, 메모리 장치는 4비트 프리페치 아키텍처로 구성되어 배열되어야 한다. 메모리 장치 상의 회로는 버스트 길이와 모드(시리얼 또는 인터리브)를 변경하기 위해 어레이 배열 및 열 스위치 어드레스를 발생시킨다.

메모리 장치는 데이터 신호를 상기 장치로/로부터 전송하기 위해 기판 상에 다수의 데이터 비트 접합 패드를 포함하고, 각각의 데이터 비트 신호마다 하나의 데이터 비트 접합 패드가 있으며, 상기 장치는 다수의 데이터 비트 신호를 동시에 전송한다. 워드라인 어드레스 생성기는 각각의 행 어드레스마다 한 그룹의 행 어드레스 신호를 수신하여 선택된 워드라인 신호를 생성한다. 열 선택 신호 생성기는 각각의 열 어드레스마다 한 그룹의 열 어드레스 신호를 수신하여 열 선택 신호를 생성한다. 메모리 셀 어레이는 워드라인과 비트라인의 교차점에 배열된다. 다수의 메모리 셀은 선택된 워드라인 신호를 수신하여 저장된 데이터 신호를 비트라인에 접속한다.

감지 증폭기는 비트라인으로부터 데이터 신호를 수신하여 데이터 신호를 증폭시킨다. 감지 증폭기 선택 회로는 열 선택 신호를 수신하여 각 데이터 비트 접합 패드마다 소정 수의(예를 들면, 4) 증폭된 데이터 신호를 감지 증폭기에서 서브 I/O 라인으로 전달한다. 각 데이터 비트 접합 패드마다 소정 수의 중간 I/O 라인이 있다. 메인 증폭기는 중간 I/O 라인으로부터 데이터 신호를 수신하고, 메인 증폭기는 데이터 신호를 글로벌 I/O 라인에 전달한다. 각 데이터 비트 접합 패드마다 소정 수의 메인 증폭기가 있다. 데이터 회로는 데이터 신호를 글로벌 I/O 라인으로부터 각각의 데이터 비트 접합 패드로 전달한다.

데이터 비트 접합 패드와 메모리 저장 셀 사이에서 메모리 셀 상의 데이터 비트 신호를 전송하는 프로세스는 메모리 장치에 인가되고 있는 한 그룹의 행 어드레스 신호에 응답하여 다수의 메모리 셀 내에 저장된 데이터 비트 신호를 비트라인에 접속시키는 단계를 포함한다. 프로세스는 또한 메모리 장치에 인가된 한 그룹의 열 어드레스 신호에 응답하여 비트라인 상의 소정 수의 데이터 비트 신호를 메모리 장치 상의 I/O 라인에 전달하는 단계를 포함한다. 또한, 프로세스는 소정 수의 데이터 비트 신호를 정해진 순서로 하나의 데이터 비트 접합 패드에 전달하는 단계를 포함한다.

또한, 메모리 장치는 행 어드레스 신호 및 열 어드레스 신호를 수신하고, 반도체 기판 상에 형성된 메모리 셀 어레이를 포함한다. 메모리 셀은 각 어레이 내의 워드라인과 비트라인의 교차점에 존재하고, 어레이는 서로 평행하게 연장하는 어레이의 열에 배열되고, 인접한 열의 쌍에 더 배열된다. Y 선택 생성기 회로는 어레이의 각 열마다 존재한다. 각각의 Y 선택 생성기 회로는 어레이의 각각의 열을 가로질러 연장하는 Y 선택 리드를 갖고 있고, 수신된 열 어드레스 신호의 각 세트마다 Y 선택 리드 상에 소정 수의 Y 선택 신호를 생성한다. 4개의 메인 I/O 라인은 어레이의 각각의 열 쌍을 따라 연장하며 어레이의 각각의 열 쌍을 지나서 연장한다. 어레이의 각각의 열의 양측 상에 하나의 메인 I/O 라인이 있으며, 각 쌍의 중간에 있는 어레이들 사이에 2개의 메인 I/O 라인이 있다. 메인 I/O 라인은 데이터 신호를 어레이로/로부터 전달하기 위해 각각의 어레이로부터 연장하는 데이터 라인에 접속한다.

접합 패드는 반도체 기판 상에 실장된다. 메모리 장치에 의해 수신되거나 송신된 데이터 워드의 각 비트마다 하나의 접합 패드가 있다. 데이터 회로는 메인 I/O 라인을 데이터 접합 패드에 접속한다. 데이터 회로는 4쌍의 열 내의 각각의 메인 I/O 라인을 하나의 접합 패드에 접속한다.

상술된 실시예에 있어서, 어레이의 각 열 쌍은 2 어레이 폭과 8 어레이 높이로 배열된 다수의 어레이를 포함한다. Y 선택 생성기 회로는 각각의 열 쌍의 한쪽 끝에 배열된다. 각각의 열 쌍 위로 연장하는 128 Y 선택 리드가 있다.

발명의 구성 및 작용

도 1에 있어서, 메모리 장치(100)는 패키지(102) 내에 봉입된 반도체 집적 회로를 포함한다. 금속 도전성 리드(104)는 패키지(102)의 에지(106 및 108)로부터 연장한다. 이들 리드(104)는 전기 신호 및 전력을 내장된 반도체 집적 회로 또는 칩으로/으로부터 도통시킨다. 도트(110)는 개별 리드(112와 114) 사이에 있는 패키지(102)의 에지(108)를 따라 존재하는 다수의 추가 리드를 나타낸다. 리드의 수 및 이들의 배치는 칩 상의 데이터 구조 및 배열에 의해, 그리고 산업 표준규격

에 의해 결정될 수 있다. 칩을 봉입하는 패키지(102)의 재료는 소정의 수지 재료가 바람직하다. 디프레션(116)은 메모리 장치의 상단부 방향을 식별하는데 사용될 수 있다.

도 2에 있어서, 메모리 장치(100)는 데이터 신호를 저장하기 위해 메모리 셀의 4개의 어레이 뱅크(B0, B1, B2 및 B3)를 제공한다. 데이터 신호는 뱅크들과 리드(202)로 표시된 내부 리드 상의 32 데이터 리드(DQ0-DQ31), DQ 버퍼(204)와 32 개별 리드 라인(206) 사이에 전송된다. 이러한 배열에 있어서, 32 데이터 신호는 리드(206) 상에 병렬로 동시에 전달된다.

4개의 뱅크 내에 저장된 데이터 신호는 2개의 클럭 신호, 몇몇의 제어 신호 및 타임 멀티플렉스된 행 및 열 어드레스 신호에 의해 액세스된다. 리드(208) 상의 클럭 신호(CLK) 및 리드(210) 상의 클럭 인에이블 신호(CKE)는 AND 블록(212)을 통과하고 리드(214)를 가로질러 제어 블록(216)으로 통과한다. 리드(218) 상의 활성 로우 칩 선택 신호(CS₋)는 제어 블록(216)에 접속한다. 4개의 리드(220) 상의 DQM0-DQM3 출력 인에이블 바이트 신호도 또한 제어 블록(216)에 접속한다. 신호(RAS₋, CAS₋, W₋)는 제어 블록(216)을 접속하는 리드(222, 224, 226) 상에 각각 나타난다. 14개의 어드레스 신호(A0-A11, BA0, BA1)는 또한 제어 블록(216)에 접속하는 리드(228) 상에 나타난다. 모드 레지스터(230)는 또한 제어 블록(216)과 접속한다. 제어 블록(216)은 리드(232)를 통해 어레이 뱅크(B0, B1, B2, B3) 내의 데이터 신호를 액세스한다.

메모리 장치(100)는 워드 당 32개의 데이터 비트를 갖는 2,097,152 워드의 4개의 뱅크로서 구성된 SDRAM이다. 메모리 장치(100)의 총 용량은 268,435,456 데이터 비트로서, 보통 256 메가비트 SDRAM 장치로 공지되어 있으며, SDRAM의 JEDEC 표준과 호환 가능하다.

도 3에 있어서, 메모리 장치(100)의 패키지(102)에 내장된 반도체 집적 회로(300)는 4 x 4 어레이로 배열된 메모리 셀의 16 어레이(302-332)를 포함한다. 뱅크(B0, B1, B2, B3)는 반도체 집적 회로(300)의 길이를 연장한다. 그러므로, 뱅크0은 어레이(302, 304, 306, 308)로 구성된다. 뱅크1은 어레이(310, 312, 314, 316)로 구성된다. 뱅크2는 어레이(318, 320, 322, 324)로 구성되고, 뱅크3은 어레이(326, 328, 330, 332)로 구성된다. 칩(300)의 폭을 연장하는 어레이는 좌측 또는 우측 위치를 나타내는 표시(LL, LR, RL, RR)로 쿼드런트로서 식별된다. 그러므로, 단일 어레이(320)는 쿼드런트(LL), 뱅크(B0)으로서 식별될 수 있다.

칩(300)은 또한 칩의 중심 축을 따라 연장하는 박스(334 및 336)로 표시된 접합 패드를 실장한다. 리드(104)는 전기 신호를 칩으로/으로부터 전달하여 전력을 칩에 공급하기 위해 접합 와이어를 통해 접합 패드에 접속한다. 칩(300)의 양단부에 3개의 접합 패드만이 도시되었지만, 요구된 신호를 전달하여 추가 테스트 포인트를 제공하기 위해 칩 상에 추가 접합 패드가 존재한다. 이들 추가 접합 패드는 접합 패드(334, 336)로부터 연장하는 도트로 표시된다.

주변 회로(338)는 원하는 바와 같이 칩(300)의 중심 축을 따라 연장하는 중앙 영역에 존재한다. 메모리 셀(302-332)의 어레이들 사이에, 열 디코드 회로(340)와 같은 열 디코드 회로는 뱅크(B0과 B1) 사이 및 뱅크(B2와 B3) 사이의 칩의 길이를 따라 연장한다. 칩의 폭을 가로질러 연장하면, 행 디코더 회로(342)가 쿼드런트(LL과 LR) 사이 및 쿼드런트(RL과 RR) 사이를 연장한다.

주변 회로는 또한 칩(300) 상의 소정의 원하는 위치에 존재한다. 예를 들어, 접합 패드와 메모리 셀 어레이 사이에서 데이터 신호를 전기적으로 결합하는 데이터 회로(340 및 342)는 접합 패드와 메모리 셀 어레이 사이에 실제로 존재한다.

뱅크 어드레스(BA0 및 BA1)는 4개의 뱅크(B0, B1, B2, B3)들 중 하나를 선택하기 위해 사용된다. 이들 2개의 뱅크 어드레스 신호는 행 및 열 어드레스 신호를 갖는 SDRAM에 인가된다.

도 4에 있어서, 어레이(302)는 메모리 셀의 8개의 매트릭스(MAT0-MAT7)를 포함한다. 각각의 어레이(302-332)는 설명된 하나의 어레이(302)가 모든 어레이(302-332)의 설명을 제공하도록 하는 방식과 유사한 방식으로 배열된다. 어레이(302)는 도 3에 표시된 것과 동일한 방향으로 배열된 매트릭스(MAT0-MAT7)를 갖는다. 행 또는 워드 라인은 어레이(400)로 표시된 방향으로 연장하고, 어레이(402)로 표시된 방향으로 배열된 행 또는 비트라인을 갖는다. 모든 매트릭스(MAT0-MAT7)는 MAT0(404)의 설명이 어레이(302) 내의 모든 다른 어레이 및 칩(300) 상의 다른 어레이를 설명하는 것과 동일한 방식으로 배열된다.

행 어드레스(A11, A10, A9)는 도 4의 매트릭스를 선택하는 행 팩터 신호를 생성하도록 디코드된다.

도 5에 있어서, MAT0(404)은 8개의 서브 어레이(SUB MAT0-SUB MAT7), 및 8개의 중복 서브 워드라인을 포함하는 영역(500)으로 이루어진다. 서브 어레이 (SUB MAT0-MAT7)은 이들의 길이를 따라 주행하는 워드라인을 갖는 MAT(404)와 동일한 방향으로 배열된다. MAT(404)는 서브 어레이(SUB MAT0-MAT7) 사이를 균일하게 분할한 512 서브 워드라인, 및 영역(500) 내의 8개의 추가 중복 서브 워드라인을 포함한다. 중복 서브 워드 라인에 희망하는 대로 어레이, 서브 어레이 및 서브 서브 어레이를 통해 분배될 수 있다. 영역(500)은 이 실시예에서 사용된 중복 워드라인에 대한 위치를 나타낸다. 서브 MAT0(502)의 설명은 칩(300) 상의 다른 모든 서브 MAT에 대한 설명이다.

행 어드레스 신호(A8, A7, A6)는 도 5의 서브 매트릭스를 선택하기 위해 행 팩터 신호를 생성하는데 사용된다.

도 6에 있어서, 서브 MAT0(502)는 RMWL80-RMWL87로서 식별된 8개의 서브 서브 어레이 또는 행 메인 워드 라인을 포함한다. RMWL80과 같은 각각의 서브 서브 어레이는 8개의 서브 워드라인을 포함한다. 또한, 하나의 서브 서브 어레이(602)에 대한 기술은 칩(300) 상의 모든 서브 서브 어레이에 대한 기술이다.

행 어드레스 신호(A5, A4, A3)는 도 6의 행 메인 워드라인 블록 또는 서브 서브 어레이를 선택하기 위해 행 팩터 신호를 생성하는데 사용된다.

도 7에 있어서, 서브 서브 어레이(602)는 각 영역의 길이를 연장하는 4개의 서브 워드라인을 갖는 2개의 서브 워드라인 디코더 선택 영역(700 및 702)을 포함한다. 행 어드레스 신호(A2)는 서브 워드라인 디코더 선택 영역을 선택하기 위해 행 팩터 신호를 생성하는데 사용된다.

도 8에 있어서, 서브 워드라인 디코더 선택 영역(700)은 4개의 서브 워드라인 번호0, 번호 1, 번호 2 및 번호3을 포함한다. 행 어드레스 신호(A1 및 A0)는 4개의 서브 워드라인들 사이를 선택하기 위해 행 팩터 신호를 생성하는데 사용된다.

도 4 내지 도 8은 기판(300) 상의 행 또는 워드라인의 이 실시예의 특정 배열을 도시한 것이다.

도 9에 있어서, 메모리 장치(100)의 이상적 도시는 JEDEC 표준에 따라 이들의 약어 명(acronym name)에 의해 번호매겨지고 식별된 모든 리드(104)를 갖는 패키지(102)를 묘사한 것이다. 예를 들어, 리드 또는 핀 1은 VDD에 접속하지만, 리드 또는 핀 88은 VSS에 접속한다. 다음의 표 1은 이들의 약어에 대한 이들 신호의 일반명을 제공한다.

[표 1]

약어	일반명
A0 - A11	어드레스 입력
A0 - A11	행 어드레스
A0 - A8	열 어드레스
A10/AP	자동 프리차지 선택
BA0, BA1	뱅크 선택
CAS_	열 어드레스 스트로브
CKE	클럭 인에이블
CLK	시스템 클럭
CS_	칩 선택
DQ0 - DQ31	SDRAM 데이터 입/출력

DQM0 - DQM3	데이터/출력 인에이블 바이트 0-3
NC	외부 접속 없음
RAS_	행 어드레스 스트로브
VDD	전원 (3.3V typ.)
VDDQ	전원 출력 드라이버 (3.3V typ.)
VREF	HSTL/SSTL 기준 전압
VSS	접지
VSSQ	출력 드라이버의 접지
W_	기록 인에이블

도 10에 있어서, 칩(300)은 뱅크(B0) 내의 쿼드런트(LL)의 좌반부 상의 섹션(1002, 1004, 1006, 1008)과 같은 이들의 각각의 열 또는 비트 라인 분할부를 따라 분할된 뱅크(B0, B1, B2, B3)를 갖고 있다. 뱅크(B0, B1, B2, B3)의 쿼드런트(LL, LR, RL, RR)의 좌반부 및 우반부는 메모리 셀의 모든 어레이 내의 이들 비트 라인 분할부를 따라 유사한 섹션으로 분할된다. 뱅크(B0)의 어레이(LL) 내의 DQ0, DQ15, DQ1, DQ14, DQ2, DQ13, DQ3, DQ12의 표시는 이들 데이터 비트가 칩(300) 상의 어레이 내에 저장되는 상대적 위치를 일반적으로 나타낼 뿐이다.

뱅크(B1)에 있어서, 뱅크(B0)을 연장하는 하이라이트된 영역(1010)은 한 그룹의 행 어드레스 신호의 수신에 응답하여 동시에 활성화되는 모든 개별 워드라인을 나타낸다. 그러므로, 하나의 어드레스는 뱅크(B1) 내의 모든 어레이(1017, 1018, 1020, 1022, 1024, 1026, 1028, 1030) 내에 있는 각각의 동일 워드라인을 활성화시킨다. 이와 마찬가지로, 하나의 행 어드레스는 뱅크 0, 2 또는 3 내의 모든 각 워드 라인을 활성화시킨다.

칩(300)의 중심을 가로질러, 영역(1012)은 데이터 비트(DQ0-DQ15)에 대한 접합 패드(334)를 나타낸다. 영역(1014)은 데이터 비트(DQ16-DQ31)에 대한 접합 패드(336)를 나타낸다. 영역(1016)은 어드레스 신호, 클럭 신호 및 제어 신호에 대한 접합 패드를 나타낸다. 영역(1012, 1014 및 1016)은 설명을 위해 데이터, 어드레스, 클럭 및 제어 신호에 대한 이상적인 접합 패드를 나타낸다. 다음의 표 2는 이들이 전달하는 신호의 약어를 갖는 접합 패드, 및 이들이 접속하는 리드(104)의 상관 관계를 나타낸다. 장치 제조를 돕기 위해 리드보다 더 많은 접합 패드가 있다.

[표 2]

1	Vsub	VSS
2	VSS	VSS
3	VDD	VDD
4	VDDref	VDD
5	VSSref	VSS 88
6	VDDreg	VDD
7	VSS	VSS
8	DQ24	46

9	DQ23	43
10	VSSQ	VSS
11	VDDQ	VDD
12	DQ25	48
13	DQ22	41
14	VSSsa	VSS
15	VDDsa	VDD
16	DQ26	49
17	DQ21	40
18	VDDQ	VDD
19	VSSQ	VSS
20	DQ27	51
21	DQ20	38
22	VSS	VSS
23	VDDp	VDD
24	DQ28	52
25	DQ19	37
26	VSSQ	VSS
27	VDDQ	VDD
28	DQ29	54
29	DQ18	35
30	DQ30	55
31	DQ17	34
32	VDDQ	VDD
33	VSSQ	VSS
34	DQ31	57
35	DQ16	32
36	VSSsa	vss
37	VDDsa	VSS

38	DQM3	VDD
39	DQM2	31
40	VSSsa	VSS
41	VDDsa	VDD

43	A5	29
44	A7	61
45	A4	28
46	VSSin	VSS
47	VDDin	VDD
48	VSSp	VSS
49	VDDp	VDD
50	A8	62
51	A3	27
52	A9	63
53	VSSsa	VSS
54	VDDsa	VDD
55	A2	26
56	A11	64
57	A1	25
58	BA0	67
59	A0	24
60	BA1	21
61	A10/AP	22
62	NC	72
63	VSSsa	VSS
64	VDDsa	VDD
65	CS	20
66	VREF	71
67	RE	16
68	Vddp	VDD
69	VSSp	VSS
70	VSSin	VSS
71	VDDin	VDD
72	CKE	68
73	CE	20
74	CLK	69
75	W	17
76	VSSsa	VSS

77	VDDsa	VDD
78	DQM1	75
79	DQM0	14

80	VSSsa	VSS
81	VDDsa	VDD
82	DQ8	76
83	DQ7	13
84	VDDQ	VDD
85	VSSQ	VSS
86	DQ9	78
87	DQ6	11
88	DQ10	79
89	DQ5	10
90	VSSQ	VSS
91	VDDQ	VDD
92	DQ11	81
93	DQ4	8
94	VSSp	VSS
95	VDDp	VDD
96	DQ12	82
97	DQ3	7
98	VDDQ	VDD
99	VSSQ	VSS
100	DQ13	84
101	DQ2	5
102	VDD	VDD
103	VSSsa	VSS
104	DQ14	85
105	DQ1	4
106	VSSQ	VSS
107	VDDQ	VDD
108	DQ15	87
109	DQ0	2

110	VSSreq	VSS
111	VDDreq	VDD
112	VDDref	VDD
113	VSSref	VSS
114	VDD	1 VDD
115	VSS	88
116	Vsub	VSS

도 10에 도시된 중요한 양상은 각각의 뱅크(B0, B1, B2, B3) 내의 동일한 상대 위치에 있는 각각의 데이터 워드로부터의 데이터 비트의 저장이다. 그러므로, 데이터 비트(DQ0, DQ15, DQ1, DQ14)는 각각의 뱅크(B0, B1, B2, B3) 내의 퀴드런트(LL)의 좌반부에 저장된다. 유사한 방식으로 데이터 비트(DQ22, DQ25, DQ23, DQ24)는 뱅크(B0, B1, B2, B3)의 퀴드런트(RR) 우반부의 동일한 섹션에 저장된다. 참고로, 데이터 비트(DQ0)는 섹션(1002) 내에만 저장되지 않고, 데이터 비트(DQ15)는 섹션(1004) 내에만 저장되지 않으며, 데이터 비트(DQ1)는 섹션(1006) 내에만 저장되지 않고, 데이터 비트(DQ14)는 섹션(1008) 내에만 저장되지 않는다. 이들 데이터 비트를 저장하기 위한 정확한 위치에 대해 이제 설명하겠다.

퀴드런트(LL)의 우반부는 데이터 비트(DQ2, DQ3, DQ13, DQ12)를 포함한다. 퀴드런트(LR)의 좌반부는 데이터 비트(DQ4, DQ11, DQ5, DQ10)를 포함하거나 저장한다. 퀴드런트(LR)의 우반부(1022)는 데이터 비트(DQ6, DQ9, DQ7, DQ8)를 저장한다. 퀴드런트(RL)의 좌반부(1024)는 데이터 비트(DQ16, DQ31, DQ17, DQ30)를 저장한다. 퀴드런트(RL)의 우반부(1026)는 데이터 비트(DQ18, DQ29, DQ19, DQ28)를 저장한다. 퀴드런트(RR)의 좌반부(1028)는 데이터 비트(DQ20, DQ27, DQ21, DQ26)를 저장한다. 퀴드런트(RR)의 우반부(1030)는 데이터 비트(DQ22, DQ25, DQ23, DQ24)를 저장한다.

도 11에 있어서, 뱅크(B0, B1, B2, B3) 내의 각각의 퀴드런트(LL, LR, RL, RR)는 8개의 데이터 비트 출력 리드 DQx(여기에서 x는 문자 a, b, c, d, e, f, g, h로 식별됨)를 제공한다. 이들 문자로 표시된 데이터 출력 리드는 번호가 매겨진 데이터 비트에 대한 각 접합 패드에 접속한다. 예를 들어, LL 퀴드런트에 있어서, 데이터 리드(a)는 접합 패드 비트 번호0과 접속하고, 데이터 리드(b)는 비트 번호15의 접합 패드와 접속하며, 데이터 리드(c)는 비트 번호1의 접합 패드와 접속하고, 데이터 리드(d)는 비트 번호14의 접합 패드와 접속하며, 데이터 리드(e)는 비트 번호2의 접합 패드와 접속하고, 데이터 리드(f)는 비트 번호13의 접합 패드와 접속하며, 데이터 리드(g)는 비트 번호3의 접합 패드와 접속하고, 데이터 리드(h)는 비트 번호12의 접합 패드와 접속한다.

이와 유사한 방식으로, 다른 퀴드런트에 대한 문자로 표시된 문자 리드는 나머지 데이터 비트 번호에 대한 접합 패드와 접속한다. 참고로, 퀴드런트로부터의 문자로 표시된 데이터 리드의 이러한 접속은 각각의 비트 번호에 대한 접합 패드와 실제로 정렬한다. 이러한 배열은 데이터 리드가 메모리 셀 어레이에서 접합 패드로 연장해야 하는 길이 또는 거리를 상당히 감소시킨다. 그러므로, 소정의 한 접합 패드 상에 수신된 데이터 신호는 접합 패드로부터 칩(300)의 폭을 가로질러 보통 연장하는 어레이에 저장된다. 데이터 신호는 칩의 길이 양단을 최소한도만 이동한다.

더욱 형식적인 관점에서, 기판 상의 접합 패드는 데이터 신호를 장치로/로부터 전달하기 위해 칩(300)의 길이를 따라 연장하고, 접합 패드는 데이터 신호를 소정의 순서로 전달한다. 메모리 셀 어레이는 칩(300) 상에 형성되고, 메모리 셀의 섹션 또는 그룹 내에서 기판의 폭을 가로질러 연장한다. 각 그룹의 메모리 셀은 한 그룹의 접합 패드에 의해 전달된 데이터 신호를 저장하고, 메모리 셀 그룹은 접합 패드가 데이터 신호를 전달하는 순서와 실제로 동일한 정해진 순서로 기판 상에 배열된다.

도 12에 있어서, 뱅크(B0) 내의 퀴드런트(LL)은 8개의 어레이 행과 16개의 어레이 열로 구성된 매트릭스로 배열된 어레이(1201)와 같은 128개의 메모리 셀 어레이를 포함한다. 메인 워드 디코더(MWD)는 8개의 어레이 행의 우측을 따라 존재하지만, 열 디코더(1202)와 같은 16개의 열 디코더는 각각의 어레이 열의 하부에 존재한다. 서브 워드 디코더(1204)와 같은 서브 워드 디코더(SWD)는 화살표(1206) 방향으로 워드라인 디코드 신호를 발생시키기 위해 어레이의 열들 사이에 존재

한다. 비트라인은 화살표(1208) 방향으로 각각의 어레이를 가로질러 주행한다.

열(1210)과 같은 어레이의 열은 열 쌍(1212, 1214, 1216, 1218, 1220, 1222, 1224 및 1226)과 같이 쌍으로 배열된다. 쌍(1212, 1214, 1216 및 1218)은 쿼드런트(LL)의 좌반부를 포함하고, 쌍(1220, 1222, 1224 및 1226)은 쿼드런트(LL)의 우반부를 포함한다. 각각의 열 쌍은 도 11에 식별된 4개의 문자표시 데이터 비트에 대한 데이터 비트를 저장한다. 열 쌍(1212, 1214, 1216 및 1218)은 데이터 비트(a, b, c, d)에 대한 데이터 신호를 각각 저장한다. 열 쌍(1220, 1222, 1224 및 1226)은 데이터 비트(e, f, g, h)에 대한 데이터 신호를 각각 저장한다.

열 쌍(1212)과 같은 각각의 열 쌍의 경우, 메인 I/O 라인(1230, 1232, 1234 및 1236)과 같은 4개의 메인 I/O 라인은 어레이의 열을 따라 연장하고, 열 디코더 회로를 지나서 나타난다. 이들 메인 I/O 라인은 메인 증폭기(1240)에 접속한다. 어레이의 각각의 열 쌍의 경우, 메인 I/O 라인은 각각의 문자로 표시된 데이터 비트에 대한 메인 증폭기에 접속한다. 그러므로, 열 쌍(1212)의 경우, 메인 I/O 라인(1230)은 메인 증폭기(MA0-a)에 접속하고, 메인 I/O 라인(1232)은 메인 증폭기(MA0-b)에 접속하며, 메인 I/O 라인(1234)은 메인 증폭기(MA0-c)에 접속하고, 메인 I/O 라인(1236)은 메인 증폭기(MA0-d)에 접속한다.

열 쌍(1214)의 경우, 제1 메인 I/O 라인은 메인 증폭기(MA1-a)에 접속하고, 제2 메인 I/O 라인은 메인 증폭기(MA1-b)에 접속하며, 제3 메인 I/O 라인은 메인 증폭기(MA1-c)에 접속하고, 제4 메인 I/O 라인은 메인 증폭기(MA1-d)에 접속한다. 이와 유사한 방식으로, 열 쌍(1216)으로부터 연장하는 제4 메인 I/O 라인은 메인 증폭기(MA2-a 내지 MA2-d)에 접속하고, 열 쌍(1218)으로부터 연장하는 제4 메인 I/O 라인은 메인 증폭기(MA3-a 내지 MA3-d)에 접속한다.

열(1220)로부터 연장하는 메인 I/O 라인은 이들 각각의 메인 증폭기에 이와 유사하게 접속한다.

열 쌍(1212, 1214, 1216 및 1218)에 대한 메인 증폭기의 출력은 데이터 시퀀서(1242)에 접속한다. 열 쌍(1220, 1222, 1224 및 1226)에 대한 메인 증폭기의 출력은 데이터 시퀀서(1244)에 접속한다. 데이터 시퀀서(1242)의 출력은 4개의 데이터 비트 라인(DQa, DQb, DQc, DQd)을 포함한다. 데이터 시퀀서(1244)의 출력은 4개의 데이터 비트 라인(DQe, DQf, DQg, DQh)을 포함한다.

데이터 시퀀서(1242 및 1244)는 데이터 회로(340 또는 342)의 부분을 포함한다(도 3 참조). 데이터 시퀀서(1242 및 1244) 내부의 접속 라인은 메인 증폭기에서 4개의 각 데이터 비트 라인들 중 하나로 데이터 신호의 선택을 기능적으로 나타낸다. 이것은 다음 도면에서 더욱 상세하게 설명될 것이다.

도 12는 बैं크(B0)의 쿼드런트(LL) 내의 열 쌍을 따라 연장하는 메인 I/O 라인을 도시한 것이다. 도 12에 도시된 메인 I/O 라인은 बैं크(B1)의 쿼드런트(LL) 내의 열 쌍을 따라 데이터 회로(340) 근처에 위치한 메인 증폭기로 연장하고, 데이터 회로(340)는 칩(300) 상의 접합 패드 근처에 위치된다. 추가 및 유사한 메인 I/O 라인은 बैं크(B0 및 B1)의 모든 쿼드런트 내의 모든 열 쌍을 따라 추가 메인 증폭기로 연장한다. 이와 유사한 방식으로, 추가 메인 I/O 라인은 बैं크(B2 및 B3) 내의 메모리 어레이의 열 쌍을 따라 연장한다.

영역(1250)에서, 도 12는 각각의 열 쌍에 대해 4개의 메인 I/O 라인에 의해 전달된 문자로 표시된 데이터 비트의 기능 표시를 제공한다. 그러므로, 열 쌍(1212, 1214, 1216 및 1218) 내의 가장 좌측의 메인 I/O 라인은 메인 증폭기(MA0-a, MA1-a, MA2-a 및 MA3-a)를 통해 리드(DQa) 상에 나타나는 데이터 비트를 전달한다. 열 쌍(1212, 1214, 1216 및 1218) 내의 가장 우측의 메인 I/O 라인은 메인 증폭기(MA0-d, MA1-d, MA2-d 및 MA3-d)를 통해 리드(DQd) 상에 나타나는 데이터 비트를 전달한다. 이와 유사한 방식으로, 2개의 중앙 메인 I/O 라인은 각각의 리드(DQb 및 DQc) 상에 나타나는 데이터 비트를 전달한다.

열 쌍(1220, 1222, 1224 및 1226) 내의 가장 좌측의 메인 I/O 라인은 이들의 각 메인 증폭기를 통해 리드(DQe) 상에 나타나는 데이터 비트를 전달한다. 열 쌍(1220, 1222, 1224 및 1226) 내의 가장 우측의 메인 I/O 라인은 이들의 각 메인 증폭기를 통해 리드(DQh) 상에 나타나는 데이터 비트를 전달한다. 이와 유사한 방식으로, 2개의 중앙 메인 I/O 라인은 각각의 리드(DQf 및 DQg) 상에 나타나는 데이터 비트를 전달한다.

이러한 구성 및 배열은 각각의 데이터 라인(DQa-DQh)에 대해 4개의 데이터 비트의 프리페치 열 선택 액세스를 동시에 제공한다. 데이터 시퀀서(1242 및 1244)는 데이터 비트의 순서화된 표시를 이들의 출력에 제공한다. 그러므로, 데이터 비트의 4비트 프리페치는 칩(300)에 인가된 각각의 열 어드레스, 및 발생된 워드라인 신호의 대응 세트에 대해 발생한다.

열 쌍(1202 및 1252)에 대한 열 디코더는 열 쌍 내의 메모리 셀 어레이를 가로질러 연장하는 Y 선택 라인(1254)으로 표시된 하나의 활성 Y 선택 라인을 생성한다. 감지 증폭기는 메모리 셀 어레이 사이의 감지 증폭기 영역(1256) 내에 존재한다.

이러한 4비트 프리페치 체계에 의해, 메모리 장치(100)는 8비트 버스트 내의 각 어드레스마다 8개의 데이터 비트를 제공할 수 있다. 8비트 버스트는 2개의 메모리 사이클을 포함한다. 각각의 메모리 사이클은 각각의 데이터 I/O 비트마다 4개의 데이터 비트의 페치를 포함하고, 각각의 메모리 사이클은 4개의 클럭 사이클에 발생한다. 4비트의 버스트는 4클럭 사이클 중 하나의 메모리 사이클에서 동작한다. 2비트의 버스트는 4개의 데이터 비트를 액세스하는 하나의 메모리 사이클에서 동작하지만, 데이터를 출력하기 위해 2개의 클럭 사이클만 사용한다. 1비트 출력은 하나의 메모리 사이클과 하나의 클럭 사이클을 포함한다.

도 13에 있어서, 열 쌍(1212)은 워드라인과 비트라인의 교차점에 위치한 메모리 셀을 각각 포함하는 메모리 셀 어레이(1210 및 1300)를 포함한다. 어레이(1210)는 선택적인 배열에서 서로 측면을 따라 연장하는 4 비트 라인(1302)과 같은 비트라인을 포함한다. 2 비트 라인은 감지 증폭기 어레이(1304)와 특히 감지 증폭기(1305)로부터 연장하고, 2 비트라인은 감지 증폭기 어레이(1304)와 특히 감지 증폭기(1307)로부터 위로 연장한다. 각각의 감지 증폭기 어레이(1304 및 1306) 및 그 밖의 다른 감지 증폭기 어레이는 공유된 선택적인 감지 증폭기 구성으로 배열된 감지 증폭기(1305 및 1307)와 같은 128개의 감지 증폭기를 포함한다. 감지 증폭기 어레이(1308 및 1310)는 어레이(1300)를 가로질러 연장하는 유사한 비트라인에 접속한다.

어레이(1300)에 있어서, 4개의 서브 워드라인(1312)은 인터리브된 구성으로 어레이를 가로질러 연장한다. 2개의 서브 워드라인은 서브 디코더 어레이(1314)로부터 연장하고, 다른 2개의 워드라인은 서브 디코더 어레이(1316)로부터 연장한다. 서브 디코더 어레이(1314 및 1316)는 서브 워드라인 상에 활성 선택 신호를 생성하는 256개의 서브 디코더를 포함한다. 이와 유사한 방식으로, 서브 디코더 어레이(1316 및 1318)는 어레이(1210)를 가로질러 연장하는 서브 워드라인 상에 활성 선택 신호를 생성한다.

열 디코더 회로(1252 및 1320)는 64개의 Y 선택 회로(yse10-yse127) 및 하나의 중복 Y 선택 회로(ryse10) 내에 65개의 Y 선택 신호를 각각 발생시킨다. Y 선택 신호는 어레이(1210 및 1300)를 각각 가로질러 연장하고 메모리 셀 어레이의 전체 열을 가로질러 계속 연장하는 Y 선택 라인(1254)과 같은 라인 상에 발생한다. 열 어드레스 신호(A8 내지 A0)는 활성 Y 선택 신호(yse10-yse127)를 발생시키기 위해 사용된다. 열 디코더 회로(1252 및 1320)로부터 생성된 Y 선택 신호들 중 한 신호만이 동시에 활성화된다.

열 디코더 회로(1252 및 1320)는 외부에서 칩(300)에 인가된 열 어드레스 신호로부터 디코드된 도시되지 않은 열 팩터 신호를 수신한다. Y 선택 회로는 쌍으로 이루어지고, 열 팩터 신호는 2개의 연속적인 메모리 사이클에서 메모리 장치의 동작을 용이하게 하기 위해 열 선택 회로에 인가된다. 하나의 수신된 열 어드레스는 열 팩터 신호의 초기 세트로 디코드한다. 열 팩터 신호는 제1 메모리 사이클에서 쌍으로 이루어진 Y 선택 회로들 중 하나를 선택하고, 열 팩터 신호를 단순히 반전시킴으로써 다른 쌍으로 이루어진 Y 선택 회로를 선택한다. 이러한 구성은 2개의 연속적인 메모리 사이클의 각 사이클에서 4개의 데이터 비트를 액세스함으로써 8 비트 버스트에서 메모리 장치로부터의 데이터 판독이 용이하다.

예를 들어, 제1 메모리 사이클에서 Y 선택 회로(yse10)를 선택하는 열 팩터 신호로 통상적으로 디코드할 수 있다. 제2 메모리 사이클에서, 열 팩터 신호는 반전되어 Y 선택 회로(yse11)를 선택한다. 데이터의 1, 2 또는 4 비트의 버스트 길이의 경우, 하나의 메모리 사이클만이 어드레스된 데이터를 액세스하는데 필요하므로 제2 메모리 사이클은 발생하지 않는다.

열 디코더(1252)로부터 연장하는 각각의 Y 선택 신호 라인은 어레이(1210)로부터 4개의 데이터 신호를 선택한다. 열 디코더(1320)로부터 연장하는 각각의 Y 선택 라인은 4개의 데이터 신호를 어레이(1300)로부터 선택한다. 선택은 감지 증폭

기 어레이 내의 감지 증폭기에 위치한 회로를 통해 발생한다. 감지 증폭기 어레이(1304, 1306, 1308 및 1310) 내의 감지 증폭기로부터 디코딩된 4개의 데이터 신호는 서브 I/O 라인(SIO(0), SIO(1), SIO(2) 및 SIO(3)) 상에 나타난다. 서브 I/O 라인(SIO(0)) 상에 나타나는 데이터 신호는 중간 증폭기(1324)에 접속한다. 이와 유사한 방식으로, 서브 I/O 라인(SIO(1))은 중간 증폭기(1326)에 접속한다. 서브 I/O 라인(SIO(2))은 중간 증폭기(1328)에 접속하고, 서브 I/O 라인(SIO(3))은 중간 증폭기(1330)에 접속한다. 서브 I/O 라인은 워드라인에 보통 평행한 방향으로 감지 증폭기 어레이(1304, 1306, 1308 및 1310) 위로 통과한다.

중간 증폭기(1324)는 서브 I/O 라인(SIO(0))을 메인 I/O 라인(MIO(0))(1230)에 접속한다. 중간 증폭기(1326)는 서브 I/O 라인(SIO(1))을 메인 I/O 라인(MIO(1))(1232)에 접속한다. 중간 증폭기(1328)는 서브 I/O 라인(SIO(2))을 메인 I/O 라인(MIO(2))(1234)에 접속한다. 중간 증폭기(1330)는 서브 I/O 라인(SIO(3))을 메인 I/O 라인(MIO(3))(1236)에 접속한다. 또한, 다른 어레이로부터 어레이(1300)의 우측으로의 다른 서브 I/O 라인(1332)은 다른 중간 증폭기(1334)에 접속한다. 중간 증폭기(1334)는 어레이의 다른 열 쌍에 대해 메인 I/O 라인(MIO(0))(1336)에 교대로 접속한다.

메모리 셀의 2개의 어레이(1210 및 1300)는 도 12에 도시된 메모리 셀 어레이(1212)의 열 쌍 내의 하부 2개의 어레이를 포함한다. 8개의 어레이는 각각의 열에 존재한다. 어레이(1340)는 어레이(1210) 위에 존재하고, 비트라인(1342)은 상기 어레이 내로 연장한다. 어레이(1344)는 어레이(1300) 위에 존재한다. 분리된 서브 I/O 라인은 각각의 열 내의 메모리 셀 어레이들 사이의 감지 증폭기 어레이 위에 존재한다. 4개의 메인 I/O 라인은 बैं크(B0) 내의 열 쌍의 길이를 연장하고, बैं크(B1) 내의 열의 각 쌍의 길이를 연장하여, 이들 2개의 बैं크 내의 이들 2개의 열 쌍 내에 있는 모든 서브 I/O 라인에 결합한다. 이러한 구성은 짧은 서브 I/O 라인과 메인 I/O 라인을 제공하여 이들 라인에 생기는 기생 용량을 저감시킨다.

열 쌍(1212)의 구성은 칩(300) 상의 다른 모든 열 쌍과 동일하므로, 하나에 대한 설명은 모두에 대한 설명이다. 메인 I/O 라인은 도 12에 도시된 문자로 표시된 데이터 비트(a, b, c, d)에 대한 데이터 신호를 전달한다. 메인 I/O 라인(MIO(0))(1230)은 데이터 비트(a)의 데이터 신호를 전달한다. 메인 I/O 라인(MIO(1))(1232)은 데이터 비트(b)의 데이터 신호를 전달한다. 메인 I/O 라인(MIO(2))(1234)은 데이터 비트(c)의 데이터 신호를 전달하고, 메인 I/O 라인(MIO(3))(1236)은 데이터 비트(d)의 데이터 신호를 전달한다. 데이터 비트(a, b, c, d)는 정해진 방식으로 어레이의 열 쌍 내에 이렇게 저장된다.

도 14에 있어서, 감지 증폭기 회로(1400)는 칩(300) 상에 사용된 감지 증폭기 회로들 중 하나를 포함한다. 메모리 셀(1402)은 비트라인 다운(BLD 1404)에 접속한다. 메모리 셀(1406)은 비트라인 다운(BLD 1408)에 접속한다. 이와 유사한 방식으로, 메모리 셀(1410)은 비트라인 업(BLU 1412)에 접속하고, 메모리 셀(1414)은 비트라인 바 업(BLBU 1416)에 접속한다. 라인(1418) 상의 신호(SHRD)는 비트라인 다운(BLD 1404) 및 비트라인 바 다운(BLBD 1408)을 이들 각각의 서브 비트라인(1420 및 1422)에 패스 트랜지스터(1424) 쌍을 통해 결합한다. 이와 유사한 방식으로, 리드(1426) 상의 신호(SHRU)는 비트라인 업(BLU 1412) 및 비트라인 바 업(BLBU 1416)을 서브 비트라인(1420 및 1422)에 패스 트랜지스터(1428)의 쌍을 통해 결합한다.

이퀄라이즈 회로(1430)는 원하는 시간에 2개의 서브 비트라인 상의 전압을 등화시키기 위해 리드(1432) 상의 신호(VBLR) 및 리드(1434) 상의 신호(SBLEQ)와 함께 서브 비트라인(SBL 1420) 및 서브 비트라인 바(SBLB 1422) 양단에 접속한다. 교차 결합된 P 트랜지스터(1436, 1438) 및 N 채널 트랜지스터(1440, 1442)로 형성된 감지 증폭기는 서브 비트라인(SBL 1420) 및 서브 비트라인 바(SBLB 1422)에 접속한다. 2개의 P 채널 트랜지스터(1436 및 1438)는 또한 리드(1444) 상의 신호(SDP) 및 리드(1446) 상의 VDDA에 접속한다. 2개의 N 채널 트랜지스터(1440 및 1442)는 리드(1448) 상의 신호(SDN)에 접속한다.

서브 비트라인(SBL 1420)은 트랜지스터(1452)를 통해 서브 I/O 라인(1450)에 접속하고, 서브 비트라인 바(SBLB 1422)는 트랜지스터(1456)를 통해 서브 I/O 라인 바(SIOB 1454)에 접속한다. 리드(1458) 상의 열 Y 선택 신호(CYS)는 서브 I/O 라인으로의 비트라인의 접속을 제어한다.

도 15에 있어서, 중간 증폭기(1500)는 서브 I/O 라인(1450 및 1454)을 메인 I/O 라인(1502 및 1504)에 접속하거나 결합한

다. 리드(1506) 상의 서브 비트라인 등화 신호(SBLEQ)는 서브 I/O 라인(1450 및 1454) 상의 전압을 등화시키기 위해 이퀄라이즈 회로(1508)를 제어한다. 리드(1510) 상의 I/O 이퀄라이즈 바 신호(IOEQB)에서는 서브 I/O 라인(1450과 1454) 사이에 접속된 I/O 이퀄라이즈 회로(1512)를 제어한다.

리드(1514) 상의 I/O 판독 인에이블 신호(IORE)는 트랜지스터 쌍(1516 및 1518)을 제어한다. 트랜지스터 쌍(1516 및 1518)은 서브 I/O 라인(SIO 1450 및 1454) 상의 논리 레벨을 메인 I/O 라인(1502 및 1504)에 리드(1520 및 1522)를 통해 결합한다. 리드(1524) 상의 신호 I/O 기록 인에이블(IOWE)은 메모리 셀 내로 데이터를 기록하는 동안에 메인 I/O 라인(1502 및 1504)으로부터 직접 서브 I/O 라인(1450 및 1454)을 구동할 때 패스 트랜지스터 쌍(1526 및 1528)을 제어한다. 메모리 셀에서 메인 I/O 라인으로의 데이터 판독은 트랜지스터 쌍(1516 및 1518)을 통해 발생한다.

도 16에 있어서, 메인 증폭기(1600)는 메인 I/O 라인(1502 및 1504)을 글로벌 I/O 라인(1602)에 전기적으로 결합시킨다. 메모리 셀로부터 데이터를 판독할 때, 데이터 경로는 일반적으로 4개의 데이터 인버터 패스 회로(1604), 패스 트랜지스터(1606), 메인 감지 증폭기(1608) 및 데이터 출력 회로(1610)를 통해 글로벌 I/O 라인(1602)으로 발생한다. 글로벌 I/O 라인(1602)에서 메인 I/O 라인(1502 및 1504)로 데이터를 기록할 때, 데이터 경로는 일반적으로 기록 회로(1612)를 통해 데이터 인버터 패스 회로(1604)로 발생한다.

전압 이퀄라이즈 회로(1614)는 메인 I/O 라인(MIO 및 MIOB)(1502 및 1504) 상의 전압을 각각 등화시킨다. 이것은 리드(1618) 상의 I/O 메인 증폭기 판독 인에이블 신호(IO_MARE)와 함께 발생한다. 데이터 인버터 패스 트랜지스터(1604)는 일반적으로 리드(1620) 상의 신호(IC_TD_INVRT)에 의해 제어된다. 메인 I/O 라인(1502 및 1504)을 내부 비트라인(1622 및 1624)에 접속시키는 패스 트랜지스터 쌍(1606)은 리드(1618) 상의 I/O 메인 증폭기 판독 인에이블 신호(IO_MARE)를 통해 제어된다. 메인 감지 증폭기 회로(1608)는 리드(1626) 상의 신호 I/O 메인 증폭기 인에이블(IO_MAE)을 통해 제어된다. 메인 감지 증폭기(1608)는 내부 비트라인(1622 및 1624)에 접속하여 이들 각각의 전압을 감지하여 래치한다.

출력 회로(1610)는 리드(1628) 상의 신호 I/O 메인 증폭기 출력 인에이블(IO_MAOE)에 의해 제어된다. 내부 비트라인들(1622와 1624) 사이의 이퀄라이즈 회로(1630)는 리드(1632) 상의 I/O 메인 증폭기 이퀄라이즈 신호(IO_MAEQ)에 의해 제어된다. 기록 회로(1612)는 일반적으로 리드(1634) 상의 신호 I/O 메인 증폭기 기록 인에이블(IO_MAW)을 통해 제어된다. 기록 회로(1612)는 또한 리드(1636) 상의 신호(IC_DIM)에 의해 제어된다.

도 17에 있어서, 도시된 회로는 데이터의 1, 2, 4 또는 8 비트의 순서 또는 버스트로 DQx 접합 패드(1700)와 메인 증폭기(1240) 사이에서 한 데이터를 전송한다. 하나의 DQx(여기에서, x는 0에서 31까지의 수) 접합 패드는 각 데이터 비트마다 칩(300) 상에 존재한다. 데이터는 데이터 시퀀서(1702), 병렬 데이터 인(in) 레지스터(1704) 및 직렬 데이터 레지스터(1706)를 포함하는 데이터 회로(1701)를 통해 메인 I/O 증폭기(1240)와 DQx 접합 패드(1700) 사이를 통과한다. 데이터 회로(1701)는 도 3에서 설명된 데이터 회로(340 및 342)를 포함한다. 이들 데이터 회로(1701)는 도 12의 시퀀서(1242 및 1244)에 묘사된 기능적 표현의 실제 실시예를 제공한다.

메모리 셀 어레이로부터 데이터를 판독 시에, 메인 증폭기(1240 MA0, MA1, MA2, MA3)는 각각 데이터 경로 글로벌 I/O 라인(GIO(0)-GIO(3), 1710-1716) 상에 데이터 신호를 생성한다. 각각의 글로벌 I/O 라인은 각각 패스 트랜지스터(1717, 1718, 1719 및 1720)와 같은 패스 트랜지스터 쌍의 한쪽에 접속한다. 패스 트랜지스터 쌍(1717-1720)은 세트(1721)로 그룹지어지고, 4개의 세트의 패스 트랜지스터(1721, 1722, 1723 및 1724)가 있다. 패스 트랜지스터 쌍의 다른 쪽은 데이터 신호를 직렬 데이터 레지스터(1706)에 결합한다.

패스 트랜지스터 쌍의 세트(1721, 1722, 1723, 1724)는 리드(1725) 상의 I/O 제어 데이터 순서 신호(IC_DSQCR(0)-(5))에 의해 제어된다. 패스 트랜지스터의 선택된 쌍을 오픈함으로써, 리드(1725) 상의 I/O 제어 데이터 순서 신호는 데이터 신호가 글로벌 I/O 라인에서 직렬 데이터 레지스터로 통과하는 병렬 순서를 결정한다. 이것은 시리얼 또는 인터리브 모드로 요구된 순서로 되도록 메인 I/O 증폭기로부터 데이터 신호를 배열한다. I/O 제어 데이터 순서 신호는 설명된 모드 제어 및 어드레스 제어 신호에 응답하여 칩(300)의 다른 부분에 발생된다. 열 어드레스 신호(A1 및 A0)는 메인 증폭기로부터 데이터를 선택하기 위한 선택 신호를 생성하는데 사용된다.

패스 트랜지스터(1717)와 같은 패스 트랜지스터는 병렬로 접속된 N 채널 트랜지스터 및 P 채널 트랜지스터를 각각 포함한

다. 병렬 접속된 트랜지스터 쌍에 대한 제어 신호는 N 채널 트랜지스터의 게이트에만 인출된 선으로 도 17에 도시된다. 반전된 제어 신호는 또한 P 채널 트랜지스터의 게이트에 접속하지만, 설명을 위한 도면을 간단하게 하기 위해 도시하지 않았다.

패스 트랜지스터 세트(1721, 1722, 1723 및 1724)를 통해 통과한 후, 데이터 신호는 패스 트랜지스터(1734)와 같은 패스 트랜지스터 쌍으로 각각 리드(1726, 1728, 1730 및 1732) 상에서 이동한다. 패스 트랜지스터 쌍(1734)은 I/O 제어 비동기 그룹 판독 신호(IC_AGRO)에 의해 제어된다.

직렬 데이터 레지스터(1706)에 있어서, 4개의 데이터 래치(1736, 1738, 1740 및 1742)는 각각 패스 트랜지스터 쌍(1734)과 같은 패스 트랜지스터 쌍으로부터 출력을 수신하여 수신된 데이터 신호를 래치한다. 래치(1736)는 인버터(1746)에서 인버터(1744)의 입력으로 다시 접속시키는 패스 트랜지스터의 지연된 쌍(1748)과 직렬로 접속된 인버터 쌍(1744 및 1746)을 포함한다.

래치(1738)는 래치(1736)와 유사하지만, 인버터(1752)의 출력과 인버터(1754) 입력 사이에 패스 트랜지스터 쌍(1750)을 더 포함한다. 래치(1740 및 1742)는 래치(1738)와 유사하다. 패스 트랜지스터 쌍(1750)은 리드(1756) 상의 신호 I/O 제어 시프트 클럭(IC_SCLK)에 의해 제어된다.

패스 트랜지스터 쌍(1757)은 래치(1742)의 출력을 래치(1740)의 입력에 접속한다. 패스 트랜지스터 쌍(1758)은 래치(1740)의 출력을 래치(1738)의 입력에 접속하고, 패스 트랜지스터(1759)는 래치(1738)의 출력을 래치(1736)의 입력에 접속한다. 이들 패스 트랜지스터(1757, 1758 및 1759)는 리드(1760) 상의 신호 I/O 제어 시프트 클럭 바(IC_SCLKB)에 의해 제어된다.

패스 트랜지스터 쌍(1762)에 접속된 신호 모드 디코드 버스트 길이(MD_BL(1))는 래치(1742, 1740 및 1738) 사이의 패스 트랜지스터(1757, 1758)로의 신호 I/O 제어 시프트 클럭 바(IC_SCLKB)의 전달을 제어한다. 인버터(1764) 및 풀업 트랜지스터(1766)는 리드(1768)를 하이 상태로 유지하여, MD_BL(1)이 하이 상태인 경우에 래치(1742와 1740) 사이와 래치(1740과 1738) 사이에서 데이터 시프팅을 방지한다.

리드(1756, 1760 및 1768) 상의 직렬 클럭 신호는 데이터 래치를 통해 출력 데이터 버퍼(1770)로 그 다음 접합 패드(1700)로 데이터 비트의 클럭킹을 제공한다. 출력 버퍼 인에이블 신호(IC_QENBL)는 출력 데이터 버퍼(1770)를 인에이블시킨다.

판독 동작 동안에, 메인 증폭기 및 데이터 경로 글로벌 I/O 라인으로부터의 데이터 신호는 데이터 시퀀서(1702)의 동작을 통해 원하는 순서로 배열되고 직렬 데이터 레지스터(1706)에 래치된다. 직렬 데이터 레지스터(1706)에 있어서, 데이터 신호는 출력 데이터 버퍼(1770)를 통해 접합 패드(1700)로 클럭 신호에 응답하여 클럭된다.

기록 동작 동안에, 접합 패드(1700) 상에 나타나는 데이터 신호는 I/O 제어 데이터 인 인에이블 신호(IC_DENBL)와 함께 데이터 인 버퍼(1772)를 통해 통과한다. 데이터 버퍼(1772)의 출력은 리드(1774) 상에 나타나고, 3개의 세트의 패스 트랜지스터(1776, 1778 및 1780)에 접속한다. 각각의 이들 패스 트랜지스터 쌍은 원하는 버스트 길이를 나타내는 제어 신호를 수신하고, 제어 신호는 1비트, 2비트 및 4비트 또는 8비트의 버스트 길이에 대해 각각 IC_WRBL(0), IC_WRBL(1) 및 IC_WRBL(2)로서 식별된다.

그러므로, 데이터의 1비트가 하나의 버스트 길이에 대해 리드(1774)로부터 메모리 셀 어레이에 기록되면, 패스 트랜지스터(1776)만이 인에이블되고, 그 비트는 래치(1736)로 통과한다. 데이터의 2비트가 기록되면, 제1 비트는 패스 트랜지스터(1778)를 통해 래치(1738)로 통과하고, 다음 시간 클럭 신호 상에서 제1 데이터 비트가 래치(1736)로 통과되며; 제2데이터 비트는 이것이 접합 패드(1700) 상에 나타난 후에 패스 트랜지스터(1778)를 통해 래치(1738)로 통과한다.

데이터의 4비트가 직렬로 래치되면, 이들은 수신된 클럭 신호와 함께 패스 트랜지스터(1780)를 통해 래치(1742, 1740, 1738 및 1736)로 통과한다.

데이터가 직렬 데이터 레지스터 래치로 래치된 후에, 데이터는 병렬 데이터 인 레지스터(1704) 내의 각각의 래치로 통과한다. 그러므로, 래치(1736)에 저장된 데이터는 패스 트랜지스터(1782)를 통해 래치(1784)로 통과한다. 신호 I/O 제어 병렬 데이터 인 레지스터 래치(IC_POIRL)는 패스 트랜지스터(1782)를 제어한다. 데이터 인 래치(1738)는 동일한 패스 트랜지스터를 통해 래치(1786)로 통과한다. 래치(1740)에 저장된 데이터는 동일한 패스 트랜지스터를 통해 래치(1788)로 통과하고, 래치(1742)에 저장된 데이터는 동일한 패스 트랜지스터를 통해 래치(1790)로 통과한다.

각각의 래치(1784, 1786, 1788 및 1790)는 한 인버터의 출력을 다른 인버터의 입력에 접속시키는 패스 트랜지스터 쌍(1792)과 원형 접속된 인버터 쌍을 포함한다. 이들 패스 트랜지스터는 각각의 병렬 데이터 인 레지스터 래치를 효과적으로 인에이블시킨다. 각각의 병렬 데이터 인 레지스터 래치는 또한 토털폴(totem pole) 구성으로 인버터 및 P채널 트랜지스터와 N채널 트랜지스터를 포함하는 데이터 구동 회로를 포함한다. 신호 I/O 제어 그룹 기록은 P채널 및 N채널 트랜지스터를 제어한다. 래치(1784)의 출력은 데이터 리드(1726)에 접속한다. 데이터 래치(1786)의 출력은 데이터 리드(1728)에 접속한다. 데이터 래치(1788)의 출력은 데이터 리드(1730)에 접속하고, 데이터 래치(1790)의 출력은 데이터 리드(1732)에 접속한다.

이들 데이터 리드로부터, 데이터 신호는 데이터를 소정의 요구된 순서로 배열하기 위해 데이터 시퀀서(1702) 내의 패스 트랜지스터 쌍을 통해 통과한 다음에, 데이터 신호는 메모리 셀 어레이 내로 전달하기 위해 메인 증폭기(MA0-MA3) 내로 글로벌 I/O 라인을 가로질러 통과한다.

기록 동작 동안에, 데이터 비트는 접합 패드(1700)로부터 직렬 데이터 레지스터(1706) 내의 선택된 래치로 통과한다. 여기에서부터, 병렬 데이터 인 레지스터(1704) 내의 각각의 래치로 통과하는 데이터는 데이터 시퀀서(1702)를 통해 선택된 데이터 순서로 배치되고, 메인 I/O 증폭기(1240)를 통해 메모리 셀 어레이로 전달된다.

도 3의 접합 패드(334 및 336)의 각 접합 패드(1700)마다 한 세트의 데이터 회로(1701)가 있다. 각 세트의 데이터 회로(1701)마다 2세트의 메인 증폭기(1240)가 있다. 한 세트의 메인 증폭기는 뱅크(B0과 B1) 내의 메모리 어레이와 데이터 회로 사이의 데이터 신호를 전달한다. 다른 세트의 메인 증폭기는 뱅크(B2와 B3) 내의 메모리 어레이와 데이터 회로 사이의 데이터 신호를 전달한다. 한 세트의 글로벌 데이터 라인은 2세트의 메인 증폭기를 1세트의 데이터 회로에 접속한다. 메인 증폭기의 출력은 비선택될 때 글로벌 데이터 라인에 하이 임피던스를 제공한다.

도 18에 있어서, 메모리 장치(100)는 메모리 장치를 사용하기 전에 사용자에게 의해 프로그램되어야 하는 모드 레지스터(1800)를 포함한다. 모드 레지스터(1800)는 판독 지연, 버스트 타입, 버스트 길이 및 기록 지연을 나타내는 개별 데이터 비트를 포함한다. 모드 레지스터는 클럭 신호의 상승 연부에서 어드레스 리드(A0-A8) 상에서 무효로 되는 입력 모드 위드를 갖는 RAS_, CAS_ 및 W_를 로우 상태로 유지함으로써 실행된 모드 레지스터 세트 커맨드로 로드된다. 모드 레지스터 세트(MRS) 커맨드는 모든 뱅크가 비활성화되고 이들의 아이들(idle) 상태에서만 실행될 수 있다.

논리 0은 어드레스 리드(A7 및 A8) 상에서 항상 입력되어야 하지만, 어드레스 리드(A10-A11, BA0, BA1)는 모드 레지스터에서 돈케어(don't care) 엔트리이다. 차트(1802)는 1, 2, 4 또는 8 비트의 버스트 길이를 결정할 때에 모드 레지스터 비트(A0-A2)의 허용된 논리 상태를 나타낸다. 차트(1804)는 0의 모드 레지스터 비트(A3)가 시리얼 버스트 타입을 나타내고 논리 0이 인터리브 버스트 타입을 나타낸다는 것을 나타낸다. 차트(1806)는 각각 1, 2, 3 및 4의 판독 지연을 결정하는 모드 레지스터 비트(A4-A6)를 나타낸다. 차트(1808)는 각각 0 및 1의 기록 지연을 결정하는 모드 레지스터 비트(A9)를 나타낸다. 모드 레지스터는 무효 MRS 커맨드가 입력될 때만 변화된다. 어드레스가 무효가 아니면, 모드 레지스터의 이전의 내용은 변화되지 않고 남아 있다.

메모리 장치(100)의 모든 데이터는 버스트 형태로 기록되거나 판독된다. 단일 공유 어드레스는 장치에 입력된 다음, 메모리 장치(100)는 그 개시 어드레스에 기초하여 위치의 순서를 내부에 어드레스한다. 첫번째 다음의 소정의 후속 액세스는 입력된 개시 어드레스에 따라 후속뿐만 아니라 선행 열 어드레스일 수 있다. 이 순서는 시리얼 버스트 또는 인터리브 버스트 패턴을 따르도록 프로그램될 수 있다. 버스트 순서의 길이는 1, 2, 4 또는 8 비트 액세스가 되도록 사용자가 프로그래밍할 수 있다. 판독 버스트가 완료된 후, 프로그래밍된 버스트 길이에 의해 결정되는 바와 같이, 데이터 출력은 다음 판독 액세스가 개시될 때까지 하이 임피던스 상태로 있다.

지연을 고려하면, 판독 버스트의 개시 데이터 출력 사이클은 판독 커맨드 후에 1, 2, 3 또는 4 클럭 사이클을 발생하도록 프로그램될 수 있다. 이 특징은 사용자가 데이터 출력을 메모리 장치로부터 래치하기 위해 주파수 및 지연에 대한 시스템 능력에 따라 동작하도록 메모리 장치(100)를 조정할 수 있게 한다. 판독 커맨드와 출력 버스트의 개시 사이의 지연은 CAS_ 지연으로도 공지된 바와 같이 판독 지연으로 공지되어 있다. 개시 출력 사이클이 시작된 후에, 데이터 버스트는 소정의 인터리빙 갭이 없이 클럭 주파수에서 발생한다.

도 19에 있어서, 차트(1900)는 시리얼 및 인터리브 모드의 십진 및 이진 표시로 2비트 버스트 순서를 나타낸다. 순서는 열 어드레스(A0)의 내부 값에 따라 변한다.

도 20에 있어서, 차트(2000)는 시리얼 및 인터리브 모드의 십진 및 이진 표시의 내부 열 어드레스(A1 및 A0)에 응답하여 4비트 버스트 순서가 발생하는 것을 나타낸다. 그러므로, 11의 이진 개시 어드레스를 갖는 시리얼 모드에 있어서, 역세스될 제2 이진 어드레스는 00이고, 역세스될 제3 이진 어드레스는 01이며, 역세스될 제4 이진 어드레스는 10이다. 인터리브 모드에 있어서, 역세스될 제1 이진 어드레스가 11이라면, 역세스될 제2 이진 어드레스는 10이고, 역세스될 제3 이진 어드레스는 01이며, 역세스될 제4 이진 어드레스는 00이다. 참고로, 시리얼 인터리브 모드는 제2, 제3 및 제4 위치로부터 역세스되는 데이터 비트의 순서가 다르다.

도 21에 있어서, 차트(2100)는 시리얼 인터리브 모드의 이진 및 십진 표시의 내부 열 어드레스(A0, A1, A2)에 대한 8비트 버스트 순서를 나타낸다. 예를 들어, 시리얼 모드에서 이진 개시 어드레스가 111이면, 다음 이진 어드레스는 000이고, 그 다음에 제8 비트 순서를 통해 한번에 하나의 이진 디지털을 증가시킨다. 이것은 제8 비트 버스트를 통해 이진 순서로 카운트다운하는 어드레스 111을 갖는 인터리브 모드 개시와 대조적이다.

도 19, 20 및 21에 도시된 2비트, 4비트 및 8비트 버스트 순서는 산업 표준이다. 상술된 메모리 장치(100)의 회로는 4비트 프리페치 아키텍처를 갖는 이 산업 표준에 따른 동작을 달성한다.

도 22에 있어서, 메모리 장치(100)에 인가되고 메모리 장치(100)에서 발생하는 신호 타이밍은 8비트 시리얼 버스트 기록으로 도시된다. 표 3은 도 22의 신호를 숫자, 약어 및 일반명에 의해 식별한다.

[표 3]

(a)	CLK	클럭
(b)	CKE	클럭 인에이블
(c)	CS	칩 선택
(d)	RAS	행 어드레스 스트로브
(e)	CAS	열 어드레스 스트로브
(f)	W	기록
(g)	BA(1:0)	뱅크 어드레스 1 및 0
(h)	A(11:0)	어드레스 0-11
(i)	DQ	데이터 I/O
(j)	PB_CLK	내부 클럭
(k)	MC_ACTV(0:3)	메인 제어 작동
(l)	MD_WRT	모드 디코드, 기록
(m)	RF0/2/3/6/9	행 팩터 0, 2, 3, 6 및 9

(iii)	신호	서브 커널 다인
(o)	RSAB1B(0:3)	행 감지 증폭기 인에이블
(p)	BL	비트 라인
(q)	LAT_CNT(3:0)	지연 카운트
(r)	LAT_DONE	지연 수행
(s)	MC_WRT	메인 제어 기록
(t)	MC_CLAT	메인 제어 열 지연
(u)	BURST_CNT(1:0)	버스트 카운트
(v)	MC_BURST_DONE	메인 제어 버스트 수행
(w)	MC_CA-RELOAD	메인 제어 열 어드레스 리로드
(x)	MC_COL_BNKSL	메인 제어 열 뱅크 선택
(y)	CFGB3	열 팩터 글로벌 바 3
(z)	CFGB6	열 팩터 글로벌 바 6
(aa)	CYS	열 Y-선택
(bb)	IO_WRT	I/O 기록
(cc)	SIO	서브 I/O 라인
(dd)	IO_MAW	I/O 메인 증폭기 기록 인에이블
(ee)	MIO	메인 I/O 라인
(ff)	IC_GWR	I/O 제어 집단 기록
(gg)	IC_GWRSB	I/O 제어 집단 기록 시작 바
(hh)	GIO	글로벌 I/O 라인
(ii)	IC_PDTRL	레지스터 내의 I/O 제어 병렬 데이터 래치
(jj)	IC_DENBL	I/O 제어 데이터 입력 버퍼 인에이블
(kk)	IC_SCLK	I/O 제어 시프트 클럭

도 22에 있어서, 파형(22(a) 내지 22(i))는 클럭 신호(CLK 및 RAS, CAS 및 W)와 관련하여 칩(300)에 인가된다. 내부적으로, 칩(300)은 기록 데이터를 어드레스된 메모리 셀에 준비할 때 파형(22(j) 내지 22(z))로 표현된 신호를 생성한다. 그 다음, 파형(22(aa) 및 22(kk))은 어드레스된 메모리 셀 내의 데이터 신호를 로드하기 위해 칩(300) 내에 발생한다.

도 22(kk)에 있어서, 신호(IC_SCLK)는 한 그룹이 각각의 4비트 프리페치 사이클마다 발생하는 2그룹의 3개의 사이클에서 발생한다. 이들 3개의 클럭 사이클의 각각의 개시는 각 프리페치 사이클에서 메모리 장치 내로 기록되는 도 22(kk)의 제 1 데이터 비트와 함께 발생한다. 각 프리페치 사이클의 제4 데이터 비트는 제4 비트가 데이터 회로를 통해 데이터 라인으로 흐르기 때문에 추가 클럭 신호가 필요없다. 이것은 기록 사이클 동안이다.

도 23에 있어서, 메모리 장치(100)에 인가되고 메모리 장치(100)에서 발생하는 신호 타이밍은 4와 동일한 CAS 또는 판독 지연을 갖는 8비트 버스트로 도시된다. 표 4는 도 23의 신호를 숫자, 약어 및 일반명으로 식별한다.

[표 4]

(a)	CLK	클럭
(b)	CKE	클럭 인에이블
(c)	CS	칩 선택
(d)	RAS	행 어드레스 스트로브
(e)	CAS	열 어드레스 스트로브
(f)	W	기록
(g)	BA(1:0)	뱅크 어드레스
(h)	A(11:0)	어드레스
(i)	DQ	데이터 I/O
(j)	PB_CLK	내부 클럭
(k)	MD_ACTV(0:3)	메인 제어 작동
(l)	MD_ACTV	모드 디코드 작동
(m)	MD_READ	모드 디코드 판독
(n)	RF0/2/3/6/9	행 팩터
(o)	SWL	서브 워드 라인
(p)	RSAB1B(0:3)	행 센스 앰프 인에이블
(q)	BL	비트 라인
(r)	LAT_CNT(3:0)	지연 제어
(s)	LAT_DONE	제어 수행
(t)	MC_READ	메인 제어 판독
(u)	MC_CLAT	메인 제어 지연
(v)	BURST_CNT	버스트 카운트
(w)	MC_BURST_DONE	메인 제어 버스트 수행
(x)	MC-CA-RELOAD	메인 제어 열 어드레스 리로드
(y)	MC_COL_BNKSL	메인 제어 열 뱅크 선택
(z)	CFGB3	열 팩터 글로벌 바 3
(aa)	CFGB6	열 팩터 글로벌 바 6
(bb)	CYS	열 Y 선택
(cc)	IO_READ	I/O 판독
(dd)	SIO	서브 I/O 라인
(ee)	IO_MARE	I/O 메인 증폭기 판독 인에이블
(ff)	MIO	메인 I/O 라인
(gg)	IC_RDNED	I/O 제어 판독 종료

(nn)	GIU	클로킹 I/O 라인
(ii)	IC_GRD	I/O 제어 집단 판독
(jj)	IC_QENBL	I/O 제어 데이터 인에이블
(kk)	IC_SCLK	I/O 제어 직렬 클럭

도 23에 있어서, 파형(23(a) 내지 23(h))의 신호는 클럭 신호(CLK 및 RAS, CAS 및 W)로 제때에 칩(300)에 인가된다. 내부적으로, 칩(300)은 어드레스된 메모리 셀로부터 데이터를 판독하기 위한 준비 시에 파형(23(j) 내지 23(z))로 표현된 신호를 생성한다. 그 다음, 파형(23(i) 및 23(aa) 내지 23(kk))의 신호는 데이터 신호를 어드레스된 메모리 셀로부터 판독하기 위해 칩(300)에서 발생한다.

도 23(kk)에 있어서, 신호(IC_SCLK)는 한 그룹이 각각의 4비트 프리페치 사이클마다 발생하는 2그룹의 3개의 사이클에서 발생한다. 이들 3개의 클럭 사이클의 각각의 개시는 각각의 프리페치 사이클에서 메모리 장치로부터 판독되는 도 23(i)의 제2 데이터 비트와 함께 발생한다. 각각의 프리페치 사이클의 제1 데이터 비트는 제1 비트가 데이터 라인으로부터 데이터 회로 외부로 바로 흐르기 때문에 추가 클럭 신호가 필요없다. 이것은 판독 사이클 동안이다.

메모리 장치(100)는 개별적으로 또는 인터리브된 방식으로 액세스될 수 있는 4개의 독립적인 बैं크를 포함한다. 각각의 बैं크는 액세스되기 전에 행 어드레스로 활성화되어야 한다. 그 다음, 각각의 बैं크는 새로운 행 어드레스로 다시 활성화되기 전에 비활성화되어야 한다. बैं크 활성화/행 어드레스 엔트리 커맨드(ACTV)는 클럭(CLK)의 상승 연부에서 RAS_를 로우 상태로, CAS_를 하이 상태로, W_를 하이 상태로, A0-A11, BA0 및 BA1을 무효 상태로 유지함으로써 입력된다. बैं크는 READ 또는 WRITE 버스트가 완료된 후에 자동적으로 비활성화되거나, 또는 비활성 커맨드(DEAC)를 사용함으로써 비활성화될 수 있다. 모든 बैं크는 커맨드(DCAB)를 사용함으로써 즉시 비활성화될 수 있다.

발명의 효과

4개의 독립적인 बैं크는 표준 DRAM으로 가능한 것보다 더 빠른 동작 속도로 랜덤한 행 상의 정보를 사용자가 액세스할 수 있게 한다. 이것은 행 어드레스를 갖는 하나의 बैं크를 활성화함으로써 달성될 수 있고, 데이터 스트림이 상기 बैं크로부터 수신되거나 또는 बैं크로 기록되는 동안에 다른 행 어드레스를 갖는 제2, 제3 또는 제4 बैं크를 활성화함으로써 달성될 수 있다. 제1 बैं크로 또는 बैं크로부터의 데이터 스트림이 완료될 때, 제2 बैं크로 또는 बैं크로부터의 데이터 스트림은 방해없이 시작될 수 있다. 제2 बैं크가 활성화된 후에, 제1 बैं크는 다음 액세스 라운드동안 새로운 행 어드레스의 엔트리를 허용하도록 비활성화될 수 있다. 제2 बैं크로 또는 बैं크로부터의 데이터 스트림이 완료될 때, 제3 बैं크로 또는 बैं크로부터의 데이터 스트림은 방해없이 시작될 수 있다. 이러한 방식으로 인터리브 형태로 동작은 계속될 수 있다.

4개의 बैं크의 능력은 더 빠른 동작 속도로 बैं크를 따라 랜덤한 개시 열로부터 데이터의 액세스를 가능하게 한다. 행 어드레스로 다수의 बैं크를 활성화한 후에, BA0, BA1은 모든 특정 타이밍 요구사항이 부합되면 클럭 주파수에서 갭이 없는 액세스를 제공하기 위해 बैं크들 중의 판독 또는 기록 커맨드를 교체하는데 사용될 수 있다.

4비트 프리페치 아키텍처로, 4 비트 데이터는 동시에 액세스된다. 8비트 버스트는 선택된 बैं크로부터 2개의 페치를 필요로 하는데, 첫번째는 초기 4비트를 얻기 위한 것이고, 다음은 데이터의 두번째 4비트를 얻기 위한 것이다.

메모리 장치(100)는 상기 설명에서 개시된 것과 다르게 배열되고 구성될 수 있다. 본 발명의 특허 청구의 범위를 벗어나지 않는 다른 특정 회로들이 사용될 수 있다.

(57) 청구의 범위

청구항 1. 메모리 장치에 있어서,

- a. 메모리 장치로/로부터 데이터 신호를 전송하기 위한 메모리 장치 상의 다수의 데이터 비트 접합 패드를 포함하되, 각각의 데이터 비트 신호마다 하나의 데이터 비트 접합 패드가 있고, 상기 메모리 장치가 다수의 데이터 비트 신호를 동시에 전송하며,
- b. 각각의 행 어드레스마다 한 그룹의 행 어드레스 신호를 수신하여 선택된 워드 라인 신호를 생성하는 워드 라인 어드레스 생성기,
- c. 각각의 열 어드레스마다 한 그룹의 열 어드레스 신호를 수신하여 열 선택 신호를 생성하는 열 선택 신호 생성기,
- d. 상기 워드 라인과 비트 라인의 교차점에 배열된 메모리 셀 어레이를 포함하되, 다수의 메모리 셀은 상기 선택된 워드 라인 신호를 수신하여 저장된 데이터 신호를 비트 라인에 접속하고,
- e. 데이터 신호를 비트 라인으로부터 수신하여 데이터 신호를 증폭시키는 감지 증폭기,
- f. 상기 열 선택 신호를 수신하여 소정 수의 증폭된 데이터 신호를 각 데이터 비트 접합 패드마다 감지 증폭기에서 서브 I/O 라인으로 전달하는 감지 증폭기 선택 회로,
- g. 상기 데이터 신호를 서브 I/O 라인에서 중간 I/O 라인 상으로 전달하는 중간 증폭기를 포함하되, 각 데이터 비트 접합 패드마다 특정 수의 중간 I/O 라인이 있으며,
- h. 상기 데이터 신호를 중간 I/O 라인으로부터 수신하고 상기 데이터 신호를 글로벌(global) I/O 라인으로 전달하는 메인 증폭기를 포함하되, 각 데이터 비트 접합 패드마다 결정된 수의 메인 증폭기가 있으며, 상기 소정 수, 특정 수 및 결정된 수는 서로 동일하고,
- i. 상기 데이터 신호를 상기 글로벌 I/O 라인에서 각각의 데이터 비트 접합 패드로 전달하는 데이터 회로를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 2. 데이터 비트 접합 패드와 메모리 저장 셀 사이에서 메모리 장치 상의 데이터 비트 신호를 전송하는 방법에 있어서,

- a. 다수의 메모리 셀에 저장된 데이터 비트 신호를 메모리 장치에 인가되는 한 그룹의 행 어드레스 신호에 응답하여 비트 라인에 접속하는 단계,
- b. 상기 비트 라인 상의 소정 수의 데이터 비트 신호를 메모리 장치에 인가된 한 그룹의 열 어드레스 신호에 응답하여 메모리 장치 상의 I/O 라인에 전달하는 단계, 및
- c. 특정 수의 데이터 비트 신호를 하나의 데이터 비트 접합 패드에 정해진 순서로 전달하는 단계를 포함하되, 상기 소정 수와 상기 특정 수는 서로 동일한 것을 특징으로 하는 데이터 비트 신호 전송 방법.

청구항 3. 행 어드레스 신호 및 열 어드레스 신호를 수신하는 메모리 장치에 있어서,

- a. 반도체 기판 상에 형성된 메모리 셀 어레이를 포함하되, 상기 메모리 셀은 각 어레이 내에서 워드 라인과 비트 라인의 교차점에 존재하고, 상기 어레이는 서로 평행하게 연장하는 그룹으로 배열되며, 각 그룹은 다수의 어레이를 포함하고, 상기 어레이 그룹은 각각의 세트 내에 소정 수의 어레이 그룹이 있는 세트로 배열되며,
- b. 각각의 어레이 그룹 양단으로 연장하는 Y 선택 리드를 각각 갖고 있으며, 각각의 수신된 열 어드레스 신호마다 Y 선택

리드 상에 2개의 가능한 Y 선택 신호들 중 한 신호를 생성하는 각 어레이 그룹의 Y 선택 생성기 회로,

c. 각 어레이 그룹과 나란히 연장하고 각 그룹을 지나서 연장하는 4개의 메인 I/O 라인을 포함하되, 각 그룹의 측면 상에 그리고 각 그룹의 중간 어레이들 사이의 2개의 라인 상에 하나의 메인 I/O 라인이 있으며, 메인 I/O 라인은 어레이로부터 데이터 신호를 전달하기 위해 각 어레이로부터 연장하는 데이터 라인에 접속하고,

d. 상기 반도체 기판 상에 실장된 접합 패드를 포함하되, 상기 메모리 장치에 의해 수신되거나 송신된 데이터 워드의 각 비트마다 하나의 접합 패드가 있으며,

e. 상기 메인 I/O 라인을 상기 데이터 접합 패드에 접속하고, 각각의 어레이 그룹 세트 내의 각각의 메인 I/O 라인을 하나의 접합 패드에 접속하는 데이터 회로

를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 4. 제3항에 있어서, 각각의 어레이 그룹은 2개의 어레이 폭과 8개의 어레이 높이로 배열된 다수의 어레이를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 5. 제3항에 있어서, 상기 소정 수는 4인 것을 특징으로 하는 메모리 장치.

청구항 6. 제3항에 있어서, 상기 Y 선택 생성기 회로는 각각의 어레이 그룹의 한쪽 끝에 그리고 어레이들의 2개의 뱅크 사이에 배열되는 것을 특징으로 하는 메모리 장치.

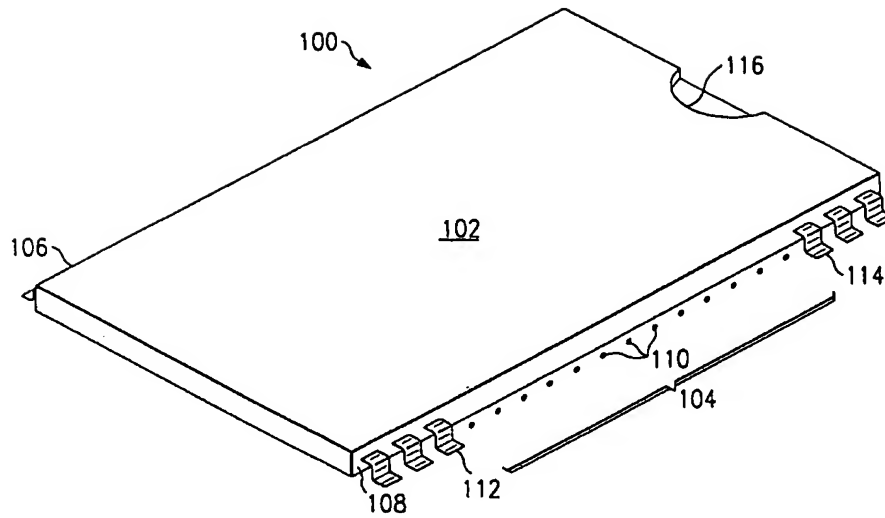
청구항 7. 제3항에 있어서, 각 어레이 그룹 위로 연장하는 128개의 Y 선택 리드가 있는 것을 특징으로 하는 메모리 장치.

청구항 8. 제3항에 있어서, 32 세트의 어레이 그룹이 있는 것을 특징으로 하는 메모리 장치.

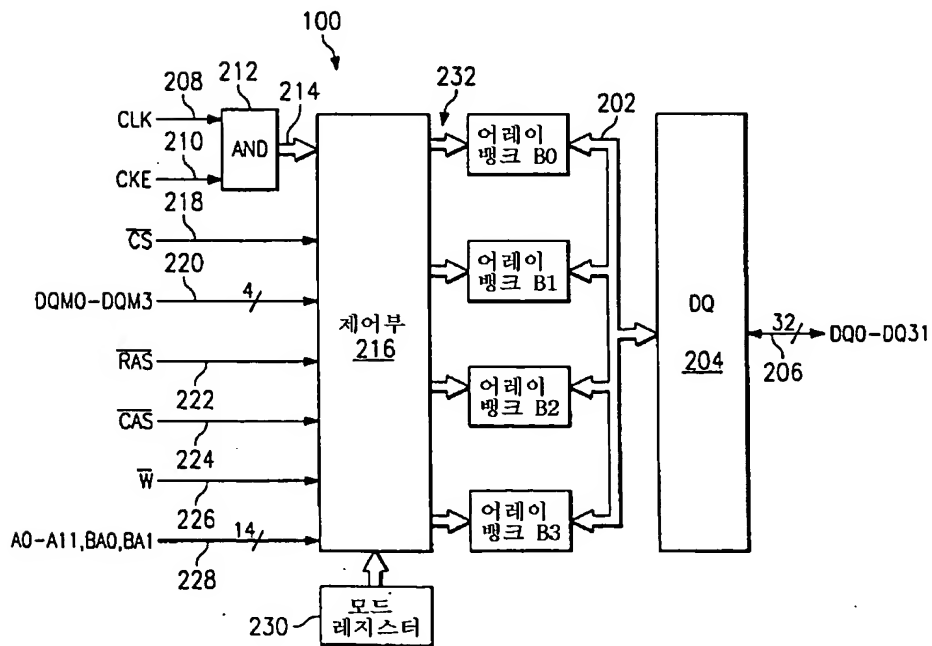
청구항 9. 제8항에 있어서, 각각의 세트는 8비트 프리페치(pre-fetch) 동작을 실행하는 2개의 메모리 사이클 동안 활성화되는데 이용가능한 8개의 Y 선택 리드가 있으며, 8개의 이용가능한 Y 선택 리드들 중의 4개는 각각의 메모리 사이클에서 활성화되는 것을 특징으로 하는 메모리 장치.

도면

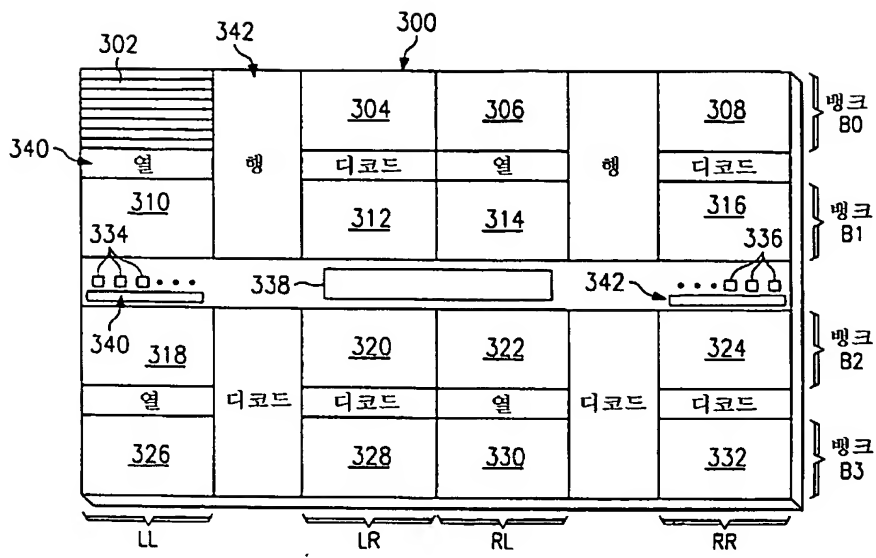
도면1



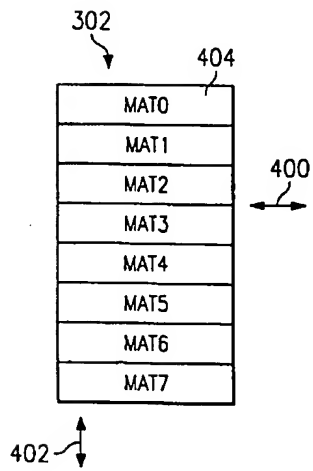
도면2



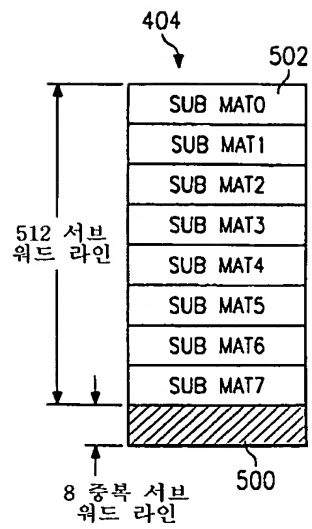
도면3



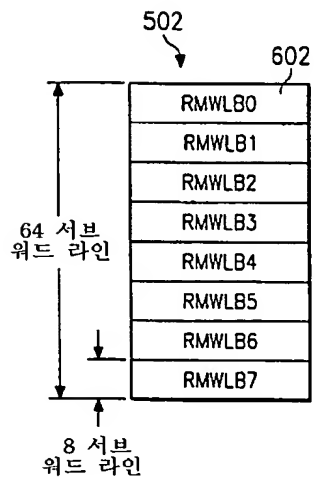
도면4



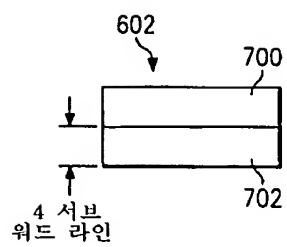
도면5



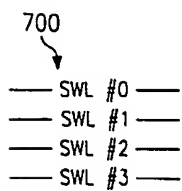
도면6



도면7

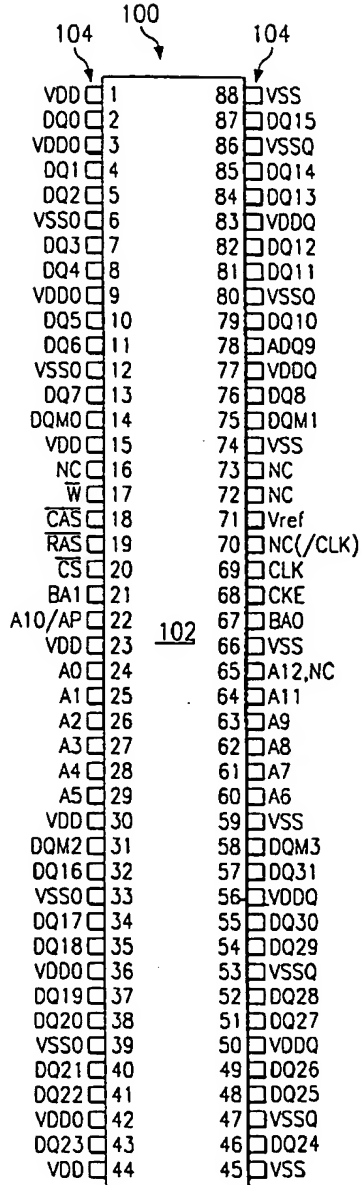


도면8

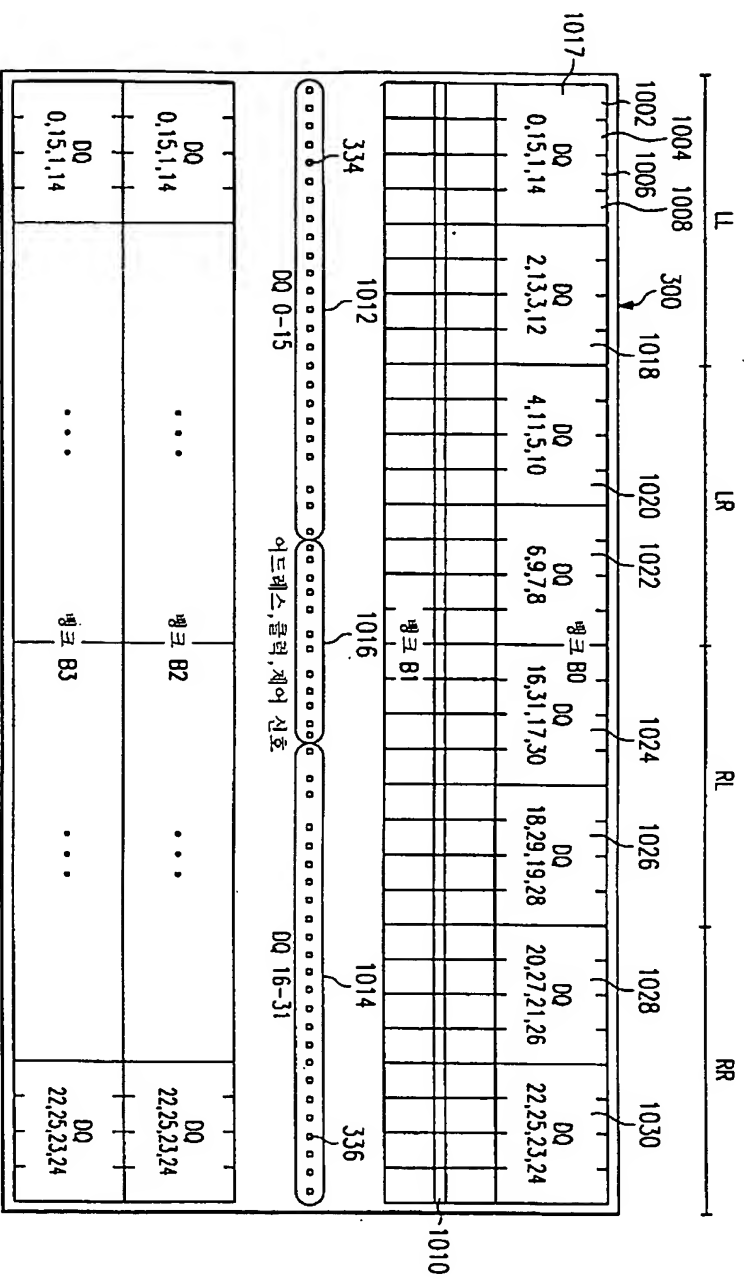


도면9

(종래 기술)



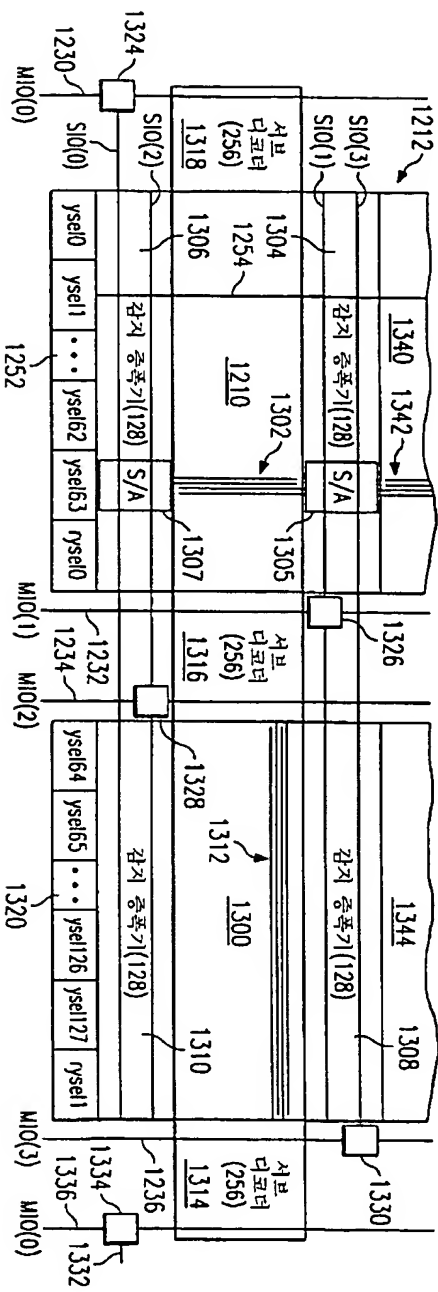
도면 10



도면 11

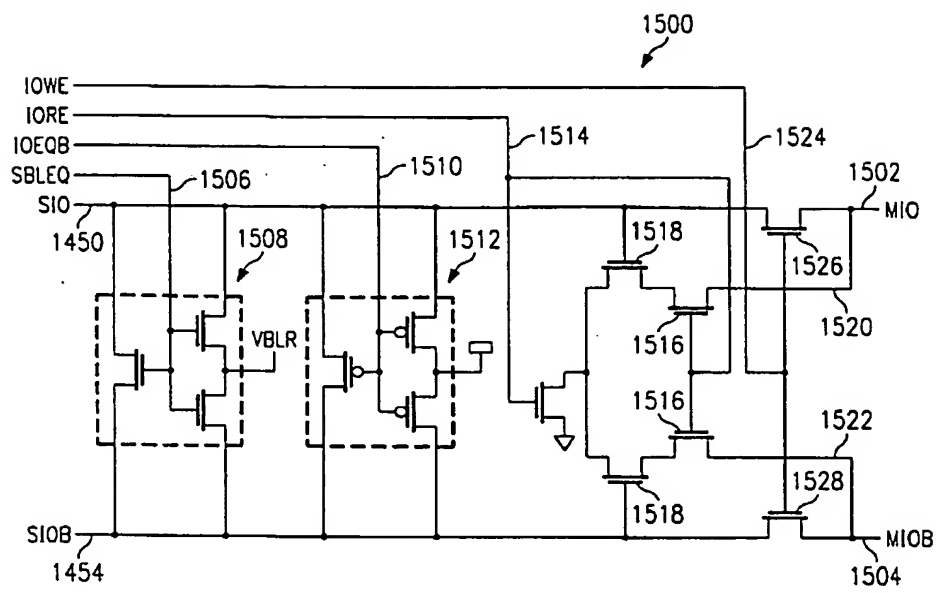




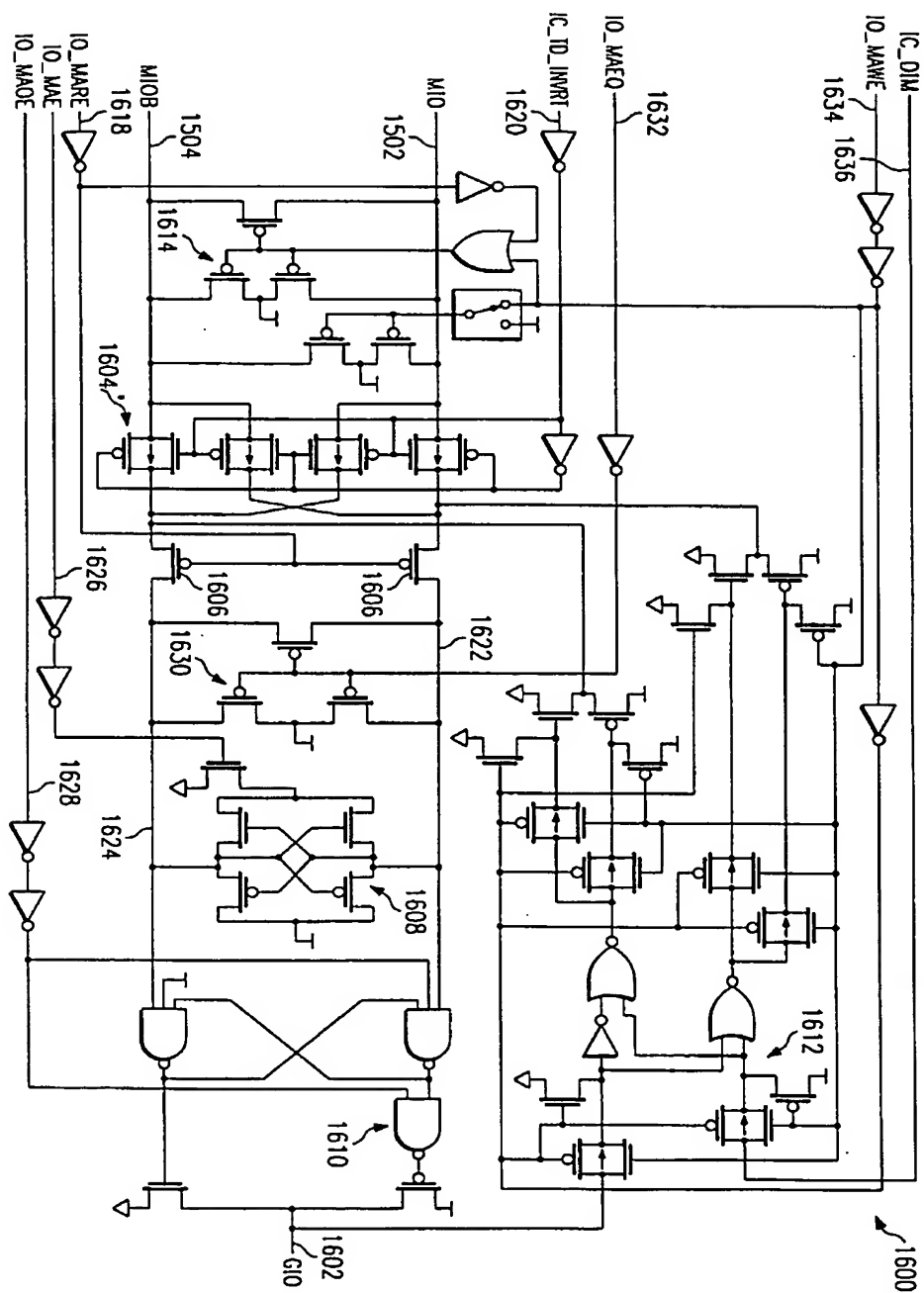


도면 14

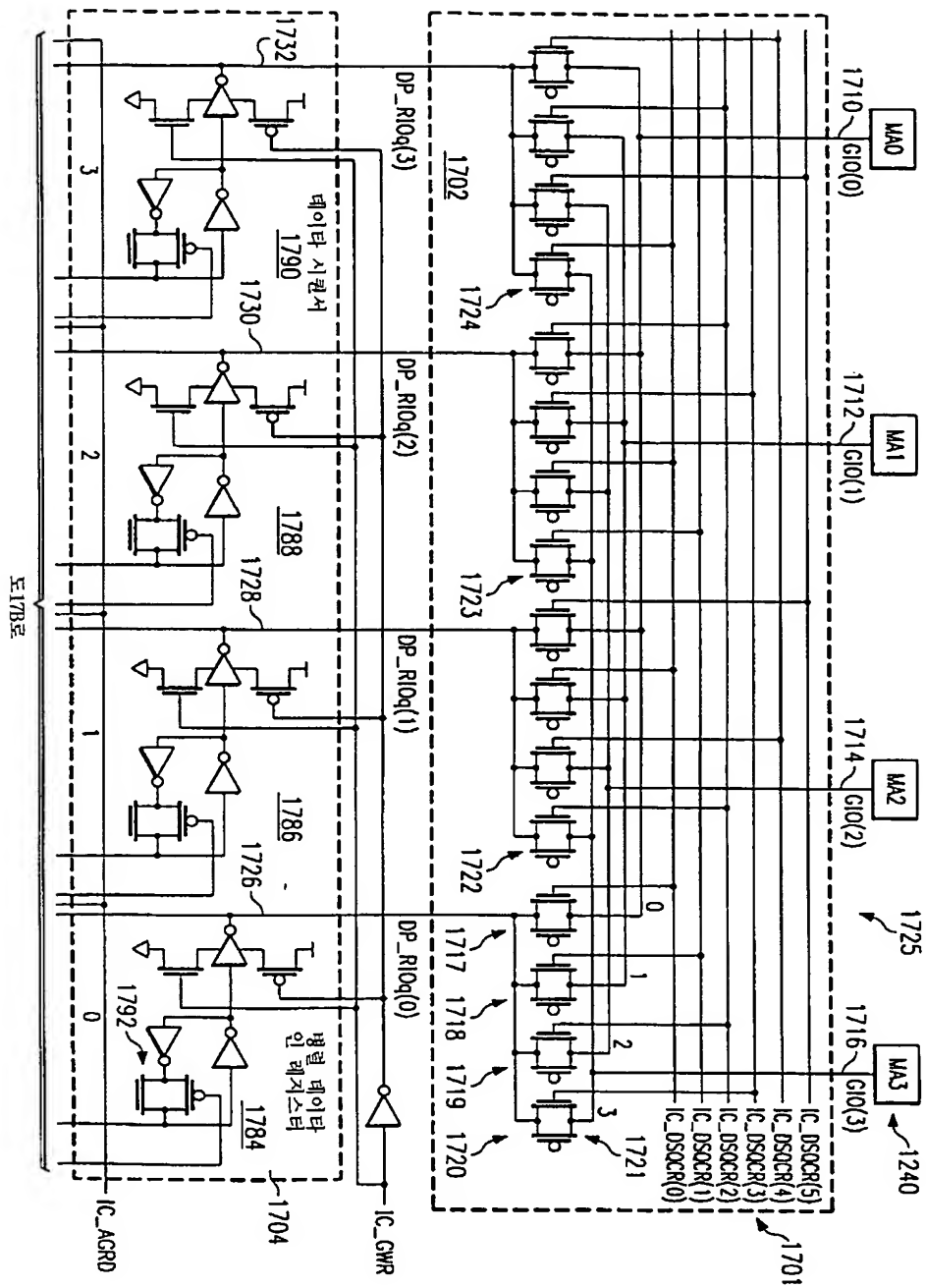




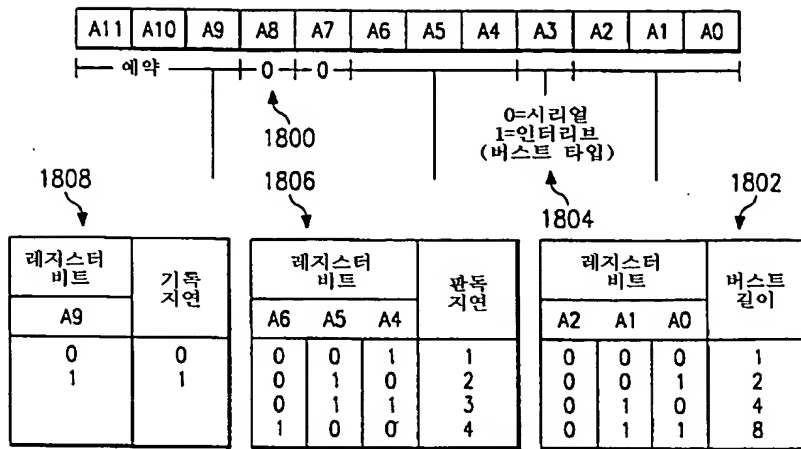
도면 16



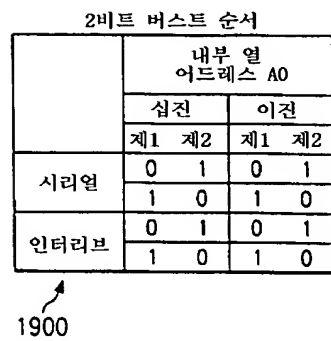
도면 17a



도면 17b



도면 19



도면 20

4비트 버스트 순서

	내부 열 어드레스 A1 A0							
	십진				이진			
	제1	제2	제3	제4	제1	제2	제3	제4
시리얼	0	1	2	3	00	01	10	11
	1	2	3	0	01	10	11	00
	2	3	0	1	10	11	00	01
	3	0	1	2	11	00	01	10
인터리브	0	1	2	3	00	01	10	11
	1	0	3	2	01	00	11	10
	2	3	0	1	10	11	00	01
	3	2	1	0	11	10	01	00

2000

도면21

8비트 버스트 순서

	내부 열 어드레스 A2 A1 A0															
	십진								이진							
	제1	제2	제3	제4	제5	제6	제7	제8	제1	제2	제3	제4	제5	제6	제7	제8
시리얼	0	1	2	3	4	5	6	7	000	001	010	011	100	101	110	111
	1	2	3	4	5	6	7	0	001	010	011	100	101	110	111	000
	2	3	4	5	6	7	0	1	010	011	100	101	110	111	000	001
	3	4	5	6	7	0	1	2	011	100	101	110	111	000	001	010
	4	5	6	7	0	1	2	3	100	101	110	111	000	001	010	011
	5	6	7	0	1	2	3	4	101	110	111	000	001	010	011	100
	6	7	0	1	2	3	4	5	110	111	000	001	010	011	100	101
	7	0	1	2	3	4	5	6	111	000	001	010	011	100	101	110
인터리브	0	1	2	3	4	5	6	7	000	001	010	011	100	101	110	111
	1	0	3	2	5	4	7	6	001	000	011	010	101	100	111	110
	2	3	0	1	6	7	4	5	010	011	000	001	110	111	100	101
	3	2	1	0	7	6	5	4	011	010	001	000	111	110	101	100
	4	5	6	7	0	1	2	3	100	101	110	111	000	001	010	011
	5	4	7	6	1	0	3	2	101	100	111	110	001	000	011	010
	6	7	4	5	2	3	0	1	110	111	100	101	010	011	000	001
	7	6	5	4	3	2	1	0	111	110	101	100	011	010	001	000

2100

도면22

